

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-231044

(43)Date of publication of application : 29.08.1995

(51)Int.Cl.

H01L 21/8238

H01L 27/092

H01L 21/8242

H01L 27/108

H01L 21/8244

H01L 27/11

(21)Application number : 06-021172

(71)Applicant : FUJITSU LTD

(22)Date of filing : 18.02.1994

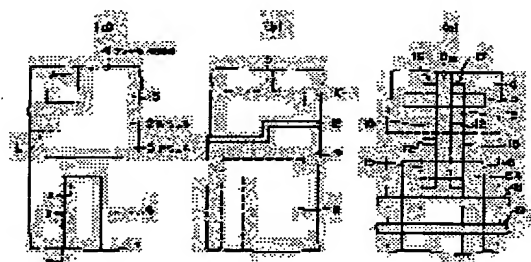
(72)Inventor : GOTO HIROSHI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

### (57)Abstract:

**PURPOSE:** To reduce a silicide forming area for the continuity between a dual gate structure p-type impurity area and an n-type impurity area by providing the manufacture of a semiconductor device comprising a complementary field effect transistor.

**CONSTITUTION:** The silicide forming area on a semiconductor layer 9 formed of silicon is covered with an oxidation-resistant side wall 12 formed by self-alignment, separately implant p-type and n-type impurities by using the oxidation-resistant side wall 12 as a part of a mask, and dual gate patterns 16 and 17 are formed by patterning the semiconductor layer 9. Then, the surfaces of the dual gate patterns 16 and 17 are oxidized using the oxidation-resistant side wall 12 as a mask, and the exposing surface of the semiconductor layer 9 is silicified by selectively removing the oxidation-resistant side wall 12.



## LEGAL STATUS

[Date of request for examination]

16.04.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3238820

[Date of registration]

05.10.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

JP,07-231044,A

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this  
5 translation.

1. This document has been translated by computer. So the translation may not reflect  
the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

10

---

CLAIMS

---

15 [Claim(s)]

[Claim 1] The manufacture method of a semiconductor device characterized by  
providing the following. The process which forms this field insulator layer (4) in the front  
face of the second semiconductor layer (3) which forms a field insulator layer (4) in the  
front face of the first semiconductor layer (2) containing the first conductivity-type  
20 impurity, and divides the first active region (5), and contains the second  
conductivity-type impurity, and divides the second active region (6). The process which  
forms a gate insulator layer (7 8) in each of the front face of the semiconductor layer  
(2) of the above first in the first active region (5) of the above, and the semiconductor  
layer (3) of the above second in the second active region (6) of the above. The process  
25 which forms the third semiconductor layer (9) which does not contain an impurity on  
the aforementioned gate insulator layer (7 8) and the aforementioned field insulator  
layer (4). By carrying out patterning of the first insulator layer (10) of the above to the

process which forms the first insulator layer (10) containing the second conductivity-type impurity on the semiconductor layer (9) of the above third. The process in which the edge of the first insulator layer (10) of the above forms the pattern located between the first active region (5) of the above, and the second active region (6) of the above while exposing the front face of the aforementioned semiconductor layer (3) of the second active region (6) of the above. The first insulator layer (10) of the above by which patterning was carried out, and the process which forms the second oxidation-resistant insulator layer (11) on the aforementioned semiconductor layer (3). The process which carry out anisotropic etching of the second insulator layer (11) of the above, and the side of the first insulator layer (10) of the above is made to remain alternatively, and forms an oxidation-resistant sidewall (12 12a). The first insulator layer (10) of the above and the aforementioned oxidation-resistant sidewall (12 12a) are used for a mask. The process which introduces the first conductivity-type impurity into the semiconductor layer (9) of the above third of the second active region (6) of the above. The process which diffuses the second conductivity-type impurity in the first insulator layer (10) of the above in the semiconductor layer (9) of the above third under it, and activates the second conductivity-type impurity in the semiconductor layer (9) of the above third. The process which oxidizes thermally the front face of the semiconductor layer (9) of the above third, and forms an insulator layer (15). The process which removes the aforementioned oxidation-resistant sidewall (12 12a), and exposes a part of front face of the semiconductor layer (9) of the above third. The process which forms the conductive pattern for the gates used as the gate electrode of an MOS transistor (16 17) in the range which carries out patterning of the semiconductor layer (9) of the above third, and the layer on it, and results on the second active region (6) of an upper shell of the first active region (5). The process which forms a silicide layer (26a, 26b) in the front face of the aforementioned semiconductor layer.

[Claim 2] The manufacture method of a semiconductor device according to claim 1 characterized by providing the following. the semiconductor layer (2) of the above first which uses the aforementioned conductive pattern for the gates (16 17) as a mask, and is in the first active region (5) of the above -- the second conductivity-type impurity -- an ion implantation and being spread -- the [ the source field (S1 and S2) of the first and the second MOS transistor (Q1 and Q2), and ] -- the process which forms a 2 conductivity-type drain field (D12) The process which forms the third and fourth source fields (S3 and S4) and drain fields (D34) of an MOS transistor (Q3 and Q4) in the semiconductor layer (3) of the above second which uses the aforementioned conductive pattern for the gates (16 17) as a mask, and is in the second active region (6) of the above for the first conductivity-type impurity an ion implantation and by being spread.

[Claim 3] an insulating sidewall (21) forms in the side attachment wall of the aforementioned conductive pattern for the gates (16 17) -- having -- the [ the aforementioned first conductivity-type impurity and ] -- a 2 conductivity-type impurity The aforementioned source field (S1, S2, S3, and S4) and the aforementioned drain field (D12, D34) are the manufacture method of the semiconductor device according to claim 2 characterized by having LDD structure by carrying out an ion implantation twice the formation front of this insulating sidewall (21), and after formation.

[Claim 4] The manufacture method of a semiconductor device according to claim 1 characterized by providing the following. The process which makes this third insulator layer (40) remain alternatively on the side of the step which met the edge of the first insulator layer (10) of the above among the second insulator layer (11) of the above by forming the third insulator layer (40) on the second insulator layer (11) before forming the aforementioned oxidation-resistant sidewall (12a), and carrying out anisotropic etching of this third insulator layer (40). The process which forms in the field from the edge of the first insulator layer (10) of the above to the third insulator layer (40) of the above the oxidation-resistant sidewall (12a) which consists of the second insulator

layer (11) of the above by using the pattern of the third insulator layer (40) of the above as a mask, and carrying out anisotropic etching of the second insulator layer (11) of the above.

[Claim 5] The aforementioned electric conduction pattern for the gates (16 17) sets an interval, and is formed two. The aforementioned electric conduction pattern for the gates (16 17), the aforementioned first, and the second active region (5 6) with a different electric conduction film (24) from the material of the aforementioned silicide layer (26a, 26b) A wrap process, The insulator layer (15) on the aforementioned electric conduction film pattern for the gates of another side (17) is straddled from the silicide layer (26a) on one aforementioned electric conduction film pattern for the gates (16). to the aforementioned first of the method of an unilateral of the aforementioned electric conduction film pattern for the gates of another side (27), and the second active region (5 6) The first wiring pulled out (27), The insulator layer (15) on one aforementioned electric conduction film pattern for the gates (16) is straddled from the silicide layer (26b) on the aforementioned electric conduction film pattern for the gates of another side (17). to the aforementioned first of the side of one aforementioned electric conduction film pattern for the gates (16), and the second active region (5 6) The manufacture method of the semiconductor device according to claim 1 characterized by having the process which forms the second wiring (28) pulled out.

[Claim 6] The manufacture method of the semiconductor device according to claim 5 characterized by forming the contact pad (32) which consists of the aforementioned electric conduction film on the field where up wiring (36) is connected among the aforementioned first or the second active region (5 6), and the outskirts of it in case patterning of the aforementioned electric conduction film (24) is carried out.

[Claim 7] The source field formed in the surface of the first semiconductor layer (2) of the both sides of the two aforementioned electric conduction patterns for the gates (16 17) in the first active region (5) of the above (S1 and S2), With a drain field (D12) and

the aforementioned electric conduction pattern for the gates (16 17), the first and the second MOS transistor (Q1 and Q2) are constituted, and it sets to the second active region (6) of the above. The source field formed in the surface of the semiconductor layer (3) of the both sides of the two aforementioned electric conduction patterns for the gates (16 17) (S3 and S4), The MOS transistor (Q3 and Q4) of the first conductivity type is formed with a drain field (D34) and the aforementioned electric conduction pattern for the gates (16 17). The manufacture method of the semiconductor device according to claim 5 characterized by forming the flip-flop circuit of a SRAM cell by the aforementioned first and the second wiring (27 28) of the aforementioned first - the fourth MOS transistor (Q1, Q2, Q3, and Q4).

[Claim 8] The semiconductor layer (9) of the above third is the manufacture method of the semiconductor device according to claim 1 characterized by being either polycrystal silicon or amorphous silicon.

[Claim 9] The aforementioned silicide layer (26a, 26b) is the manufacture method of the semiconductor device according to claim 1 by which it is being [ they / the titanium silicon formed of Salicide, cobalt silicon, and nickel silicon ] characterized.

[Claim 10] The aforementioned silicide layer (26a, 26b) is the manufacture method of the semiconductor device according to claim 1 by which it is being [ it / an alloy with a refractory metal ] characterized.

[Claim 11] The manufacture method of a semiconductor device characterized by providing the following. The process which forms a field insulator layer (4) in the front face of the first semiconductor layer (2 3) containing the first conductivity-type impurity, and divides the first active region (5) and second active region (6). The process which forms a silicon layer (9) on the aforementioned first and the second active region (5 6), and the aforementioned field insulator layer (4). The process which introduces an impurity into the aforementioned silicon layer (9). The process which forms the first insulator layer (15) in the front face of the aforementioned silicon layer

(9), and forms opening (23) in a part of this first insulator layer (15) in the field between the first active region (5) of the above, and the second active region (6) of the above, The process which forms in one the pattern for gate electrodes (16) of two MOS transistors (Q1 and Q3) which have the aforementioned opening (23) and are formed in the first active region (5) of the above, and the second active region (6) of the above by carrying out patterning of the aforementioned silicon layer (9), The process which forms a silicide layer (26a, 26c, 26d, 26g, 26f) in the front face of the aforementioned first of the method of both sides of the front face of the aforementioned silicon layer (9) in the aforementioned opening (23), and the aforementioned pattern for gate electrodes (16), and the second active region (5 6), By carrying out patterning of the aforementioned electric conduction film (24) to the process which forms the electric conduction film (24) which consists of a different material from the aforementioned silicide layer (26a, 26c, 26d, 26g, 26f) The first wiring connected to the silicide layer (26a) on the aforementioned pattern for gate electrodes (16) (28), The second wiring connected to the silicide layer (26d) of the first active region (5) of the above (27), The process which forms the third wiring (27) connected to the silicide layer (26g) of the second active region (6) of the above, and forms a contact pad layer (32) on the formation field of the contact hole (35) formed on the aforementioned first and the second active region (5 6), and the outskirts of it simultaneously.

[Claim 12] The aforementioned silicide layer (26a, 26c, 26d, 26g, 26f) is the manufacture method of the semiconductor device according to claim 10 characterized by being formed of Salicide.

[Claim 13] The aforementioned electric conduction film (24) is the manufacture method of the semiconductor device according to claim 5 or 10 characterized by being constituted by a tungsten, a titanium nitride, a titanium tungsten, a polycide, and silicide.

[Claim 14] The aforementioned pattern for gate electrodes (16) is the manufacture method of the semiconductor device according to claim 10 which has the first

conductivity-type impurity content field (13) and the second conductivity-type impurity content field (14), and is characterized by the silicide layer (26a) on the aforementioned pattern for gate electrodes (16) having short-circuited this first conductivity-type impurity content field (13) and this second conductivity-type impurity content field (14).

5 [Claim 15] The semiconductor device characterized by providing the following. The field oxide film which surrounds the first active region (5) and second active region (6) among semiconductor layers (2 3) (4) The pattern for gate electrodes which was formed and was unified on the first active region (5) of the above, and the second active region (6) of the above (16) The silicide layer formed in the part on the aforementioned pattern  
10 for gate electrodes (16) (26a) The wiring which extends in the aforementioned first and the second active region (5 6) from the silicide layer (26a) formed on the aforementioned pattern for gate electrodes (16) (28), A part for a connection with the wiring which is formed from the electric conduction film (24) which constitutes the aforementioned wiring (28), and is formed in the upper layer from the aforementioned  
15 electric conduction film (24) among the first active region (5) of the above, and the second active region (6) of the above, and the contact pad formed around it (32)

[Claim 16] The semiconductor device characterized by providing the following. The field oxide film which surrounds an active region (5 6) among semiconductor layers (2 3) (4) The gate insulator layer formed in the front face of the aforementioned semiconductor  
20 layer (2 3) in the aforementioned active region (5 6) (7 8) The gate electrode pattern which is formed on the aforementioned gate insulator layer (7 8), and is prolonged in the aforementioned exterior out of an active region (5 6) (16 17) The silicide layer formed in the part on the aforementioned gate electrode pattern (16 17) (26a, 26b), The wiring connected to the silicide layer (26a, 26b) on the aforementioned gate electrode pattern  
25 (16 17) (27 28), The contact pad which was formed from the electric conduction film (24) which constitutes the aforementioned wiring (27 28), and was formed on the contact hole formation field of the aforementioned active region (5 6), and the outskirts

of it (32)

[Claim 17] The semiconductor device characterized by providing the following. The field oxide film which surrounds the first active region (5) and second active region (6) among semiconductor layers (2 3) (4) The gate insulator layer in which the front face of the aforementioned semiconductor layer (2 3) of the first active region (5) of the above and the second active region (6) of the above was formed, respectively (7 8) The first gate electrode pattern (16) and the second gate electrode pattern (17) which were formed in parallel on the aforementioned gate insulator layer (7 8) and the aforementioned field oxide film (4) The silicide layer formed in opening (23) of a wrap insulator layer (15) in each the aforementioned first and second front faces of a gate electrode pattern (16 17) (26a, 26b), The first wiring layer connected to the impurity diffusion layer (S1 and S2) of the first active region (5) of the above ranging over the gate electrode pattern (17) of the above second from the silicide layer (26a) formed on the gate electrode pattern (16) of the above first (28), The second wiring layer connected to the impurity diffusion layer (S3 and S4) of the second active region (6) of the above ranging over the gate electrode pattern (16) of the above first from the silicide layer (26b) formed on the gate electrode pattern (17) of the above second (6), The contact pad which was formed from the electric conduction film (24) which constitutes the aforementioned first and the second wiring (27 28), and was formed on the contact hole formation field of the aforementioned active region (5 6), and the outskirts of it (32)

[Claim 18] The aforementioned silicide layer (26a, 26b) is the manufacture method of the semiconductor device according to claim 15 or 16 characterized by being formed of Salicide.

[Claim 19] The aforementioned electric conduction film (24) is the manufacture method of the semiconductor device the claim 5 characterized by being constituted by a tungsten, a titanium nitride, a titanium tungsten, a polycide, and silicide, 15, or 16

publications.

---

## DETAILED DESCRIPTION

---

5

[Detailed Description of the Invention]

[0001]

10

[Industrial Application] this invention relates to the semiconductor device which has a complementary-type field-effect transistor, and its manufacture method in more detail about a semiconductor device and its manufacture method.

[0002]

15

[Description of the Prior Art] It is circuitry as there are some which used six MOS transistors as a SRAM cell, for example, shown in drawing 9 . namely, the SRAM cell -- the p-channel load transistor Q1 and Q2 The n channel drive transistor Q3 and Q4 from -- it has two becoming CMOS inverters Load transistor Q1 which constitutes one CMOS inverter Drive transistor Q3 Each gate is the drive transistor Q4 of the CMOS inverter of another side. Load transistor Q2 which is connected to a drain and constitutes the CMOS inverter of another side similarly Drive transistor Q4 Each gate is the drive transistor Q3 of the CMOS inverter of another side. It connects with a drain.

20

Furthermore, two drive transistors Q3 and Q4 Each drain is the n channel transfer transistor Q5 and Q6. It connects with the bit line BL and the reversal signal BL (henceforth BL bar) through two the source/drains. In addition, in calling it "the source/drain", it points out the source and the portion which has which function of a drain (the same is said of the following explanation).

25

[0003] Furthermore, two load transistors Q1 and Q2 Voltage Vcc is impressed to each source and it is two drive transistors Q3 and Q4. Voltage Vss is impressed to each source. Furthermore, two transfer transistors Q5 and Q6 The WORD line WL is

connected to each gate. The superficial composition of such a SRAM cell is indicated by the following reference.

[0004] (1) THOMAS E.TANG et al., IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol., and ED- 34, No.3, March 1987, and pp.682-688 — this semiconductor device As shown in drawing 10 , it is the load transistor Q1 and Q2. The becoming first and second p type transistor T1, and T2 The first active region 101 of an abbreviation C typeface It is formed. Moreover, the drive transistor Q3 and Q4 The transfer transistor Q5 and Q6 The first becoming to fourth n mold transistor T3 -T6 The second of L typeface, the third active region 102, and 103 It is formed in four bays at each.

[0005] First p type transistor T1 First n type transistor T3 Each gate electrode is the first electric conduction pattern 104 which served as wiring. It is constituted. Second p type transistor T2 Second n type transistor T4 Second electric conduction pattern 105 with which each gate electrode also serves as wiring It is constituted. Moreover, first p type transistor T1 A drain field minds the third electric conduction pattern 106, and is first n type transistor T3. It connects with a drain field electrically and is second p type transistor T2 further. Second n type transistor T4 Those drain fields are the fourth electric conduction pattern 107. It minds and connects mutually.

[0006] 2 sets of CMOS inverters are constituted by these. Moreover, first electric conduction pattern 104 Wiring 104A prolonged from a flank is the fourth electric conduction pattern 107. It connects and is the second electric conduction pattern 105 further. It is the third electric conduction pattern 106 similarly. It connects. The cross coupling of a CMOS inverter is made by these. The second and third active regions 102 and 103 The word line WL along which it passes is the third and fourth n type transistors T5 and T6. It serves as the gate electrode.

[0007] in addition, the first active region 101 \*\*\*\* — p type impurity diffusion layer forms in the both sides of a gate electrode — having — the second and third active regions 102 and 103 n type impurity diffusion layer is formed in the both sides of a gate

electrode inside. [ moreover, ] Furthermore, the third and fourth n type transistor T5 and T6 It is the first, second n type transistor T3, and T4 inside. The bit line which is not illustrated is connected to the source / drain field which is not connected.

[0008] By the way, p type transistor T1 which constitutes a CMOS inverter and T2 It is

5 p type transistor T1 and T2 in order to suppress a short channel effect. Adopting a surface channel type is examined. In this case, generally as for the gate electrode of a p-channel transistor, p type impurity doped silicon is used. Therefore, the gate electrode which consists of silicon for connecting p type transistor and n type transistor which constitute CMOS needs to serve as the dual gate structure of having p  
10 type impurity introduction field and n type impurity introduction field, and needs to connect the boundary of these fields through a metal, silicide, etc.

[0009] The dual gate structure has good control of striking p type impurity and n type impurity in any direction using a photo mask, and connecting the boundary portions of p type impurity range and n type impurity range by silicide is performed. Those dual gate

15 structures are shown, for example in the following reference.

(2) Wen-Hsing Chang et al., IEEE TRANSACTIONS ON ELECTRON DEVICES, and Vol. — 39, No.4, APRIL 1992, pp.959-966(3) Bijan Davari et al., IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol.39, No.4, APRIL 1992, and pp. — 967-975 [0010]

[Problem(s) to be Solved by the Invention] However, in order to carry out densification

20 of the semiconductor device further, it is necessary to make area of the silicide as small as possible, and to reduction-ize dual gate structure, and this is not yet examined. Moreover, it is necessary to raise the alignment precision of the contact hole for connecting a bit line and power supply wiring with detailed-izing of a semiconductor device. The self aryne contact which prepares an opening pad layer on the source field  
25 of an MOS transistor or a drain field, and the outskirts of it, and connects a bit line, power supply wiring, etc. on it in order to secure the alignment margin It is indicated by  
(4) JP,2-2139,A.

[0011] However, in order to aim at self aryne contact, when forming an opening pad layer by the metal membrane, growing up the metal membrane which serves as an opening pad layer where the silicide layer of a dual gate front face is exposed has the problem that it is not allowed in order to bring about the short circuit of the gate, and the source and a drain. this invention is made in view of such a problem, and the silicide formation field for making it flow through p type impurity range and n type impurity range of dual gate structure is made small, and moreover, it aims at offering the semiconductor device which can form the opening pad layer for connection of power supply wiring or a bit line, and its manufacture method, without connecting with the silicide too hastily.

[0012]

[Means for Solving the Problem]

(1) The above-mentioned technical problem forms the field insulator layer 4 in the front face of the first semiconductor layer 2 containing the first conductivity-type impurity, and divides the first active region 5 so that it may illustrate to drawing 1 -6. And the process which forms this field insulator layer 4 in the front face of the second semiconductor layer 3 containing the second conductivity-type impurity, and divides the second active region 6, The process which forms the gate insulator layers 7 and 8 in each of the front face of the semiconductor layer 2 of the above first in the first active region 5 of the above, and the semiconductor layer 3 of the above second in the second active region 6 of the above, The process which forms the third semiconductor layer 9 which does not contain an impurity on the aforementioned gate insulator layers 7 and 8 and the aforementioned field insulator layer 4, By carrying out patterning of the first insulator layer 10 of the above to the process which forms the first insulator layer 10 containing the second conductivity-type impurity on the semiconductor layer 9 of the above third The process in which the marginal part of the first insulator layer 10 of the above forms the pattern located between the first active region 5 of the above, and

the second active region 6 of the above while exposing the front face of the  
aforementioned semiconductor layer 3 of the second active region 6 of the above, The  
first insulator layer 10 of the above by which patterning was carried out, and the  
process which forms the second oxidation-resistant insulator layer 11 on the  
5 aforementioned semiconductor layer 3, The process which carry out anisotropic etching  
of the second insulator layer 11 of the above, and the side of the first insulator layer 10  
of the above is made to remain alternatively, and forms the oxidation-resistant  
sidewalls 12 and 12a, The first insulator layer 10 of the above and the aforementioned  
oxidation-resistant sidewalls 12 and 12a are used for a mask. The process which  
10 introduces the first conductivity-type impurity into the semiconductor layer 9 of the  
above third of the second active region 6 of the above, The process which diffuses the  
second conductivity-type impurity in the first insulator layer 10 of the above in the  
semiconductor layer 9 of the above third under it, and activates the second  
conductivity-type impurity in the semiconductor layer 9 of the above third, The process  
15 which oxidizes thermally the front face of the semiconductor layer 9 of the above third,  
and forms an insulator layer 15, The process which removes the aforementioned  
oxidation-resistant sidewalls 12 and 12a, and exposes a part of front face of the  
semiconductor layer 9 of the above third, The process which forms the conductive  
patterns 16 and 17 for the gates used as the gate electrode of an MOS transistor in the  
20 range which carries out patterning of the semiconductor layer 9 of the above third, and  
the layer on it, and results on the second active region 6 of an upper shell of the first  
active region 5, It solves by the manufacture method of the semiconductor device  
characterized by having the process which forms the silicide layers 26a and 26b in the  
front face of the aforementioned semiconductor layer.

25 [0013] The second conductivity-type impurity in the semiconductor layer 2 of the  
above first which uses the aforementioned conductive patterns 16 and 17 for the gates  
as a mask, and is in the first active region 5 of the above (2) An ion implantation and by

being spread The first and second MOS transistor Q1, and Q2 The source field S1 and S2 The process which reaches and forms the second conductivity-type drain field D12, The first conductivity-type impurity in the semiconductor layer 3 of the above second which uses the aforementioned conductive patterns 16 and 17 for the gates as a mask, and is in the second active region 6 of the above an ion implantation and by being spread The third and fourth MOS transistors Q3 and Q4 The source field S3 and S4 And it solves by the manufacture method of the semiconductor device of (1) characterized by having the process which forms the drain field D34.

[0014] (3) the insulating sidewall 21 forms in the side attachment wall of the aforementioned conductive patterns 16 and 17 for the gates -- having -- the [ the aforementioned first conductivity-type impurity and ] -- the ion implantation of the 2 conductivity-type impurity is twice carried out the formation front of this insulating sidewall 21, and after formation -- the aforementioned source fields S1, S2, and S3 and S4 And the aforementioned drain fields D12 and D34 are solved by the manufacture method of the semiconductor device of (2) characterized by having LDD structure.

[0015] (4) By forming the third insulator layer 40 on the second insulator layer 11, before forming the aforementioned oxidation-resistant sidewall 12a, and carrying out anisotropic etching of this third insulator layer 40 The process which makes this third insulator layer 40 remain alternatively on the side of the step which met the marginal part of the first insulator layer 10 of the above among the second insulator layer 11 of the above, By using the pattern of the third insulator layer 40 of the above as a mask, and carrying out anisotropic etching of the second insulator layer 11 of the above It solves by the manufacture method of the semiconductor device of (1) characterized by having the process which forms in the field from the marginal part of the first insulator layer 10 of the above to the third insulator layer 40 of the above oxidation-resistant sidewall 12a which consists of the second insulator layer 11 of the above.

[0016] (5) The aforementioned electric conduction patterns 16 and 17 for the gates set

an interval, and are formed two. The aforementioned electric conduction patterns 16 and 17 for the gates, the aforementioned first, and the second active region 5 and 6 with a different electric conduction film 24 from the material of the aforementioned silicide layers 26a and 26b A wrap process, The first wiring 27 pulled out ranging over  
5 the insulator layer 15 on the aforementioned electric conduction film pattern 17 for the gates of another side to the aforementioned first of the method of an unilateral of the aforementioned electric conduction film pattern 27 for the gates of another side, and the second active region 5 and 6 from silicide layer 26a on one aforementioned electric conduction film pattern 16 for the gates, The insulator layer 15 on one aforementioned  
10 electric conduction film pattern 16 for the gates is straddled from silicide layer 26b on the aforementioned electric conduction film pattern 17 for the gates of another side. to the aforementioned first of the side of one aforementioned electric conduction film pattern 16 for the gates, and the second active region 5 and 6 It solves by the manufacture method of the semiconductor device of (1) characterized by having the  
15 process which forms the second wiring 28 pulled out.

[0017] (6) In case patterning of the aforementioned electric conduction film 24 is carried out, solve by the manufacture method of the semiconductor device of (5) characterized by forming the contact pad 32 which consists of the aforementioned electric conduction film on the field where the up wiring 36 is connected among the  
20 aforementioned first or the second active region 5 and 6, and the outskirts of it.

(7) The source field S1 formed in the surface of the first semiconductor layer 2 of the both sides of the two aforementioned electric conduction patterns 16 and 17 for the gates in the first active region 5 of the above, and S2, It is the first and second MOS transistor Q1, and Q2 by the drain field D12 and the aforementioned electric conduction  
25 patterns 16 and 17 for the gates. It is constituted and sets to the second active region 6 of the above. The source field S3 formed in the surface of the semiconductor layer 3 of the both sides of the two aforementioned electric conduction patterns 16 and 17 for

the gates, and S4, It is MOS transistor Q3 of the first conductivity type, and Q4 by the drain field D34 and the aforementioned electric conduction patterns 16 and 17 for the gates. It is formed. It is the aforementioned first - fourth MOS transistor Q1 and Q2, Q3, and Q4 by the aforementioned first and the second wiring 27 and 28. It attains by the manufacture method of the semiconductor device of (5) characterized by forming the flip-flop circuit of a SRAM cell.

[0018] (8) Attain the semiconductor layer 9 of the above third by the manufacture method of the semiconductor device of (1) characterized by being either polycrystal silicon or amorphous silicon.

(9) Attain the aforementioned silicide layers 26a and 26b by the manufacture method of the semiconductor device of (1) by which it is being [ they / the titanium silicon formed of Salicide, cobalt silicon, and nickel silicon ] characterized.

[0019] (10) Solve the aforementioned silicide layers 26a and 26b by the manufacture method of the semiconductor device of (1) by which it is being [ it / an alloy with a refractory metal ] characterized.

(11) The process which forms the field insulator layer 4 in the front face of the first semiconductor layer 2 and 3 containing the first conductivity-type impurity, and divides the first active region 5 and second active region 6, The aforementioned first and the second active region 5 and 6, and the process that forms the silicon layer 9 on the aforementioned field insulator layer 4, The process which introduces an impurity into the aforementioned silicon layer 9, and the process which forms the first insulator layer 15 in the front face of the aforementioned silicon layer 9, and forms opening 23 in a part of this first insulator layer 15 in the field between the first active region 5 of the above, and the second active region 6 of the above, Two MOS transistors Q1 which have the aforementioned opening 23 and are formed in the first active region 5 of the above, and the second active region 6 of the above by carrying out patterning of the aforementioned silicon layer 9, and Q3 The process which forms the pattern 16 for gate

electrodes in one, The process which forms the silicide layers 26a, 26c, 26d, 26g, and 26f in the front face of the aforementioned first of the method of both sides of the front face of the aforementioned silicon layer 9 in the aforementioned opening 23, and the aforementioned pattern 16 for gate electrodes, and the second active region 5 and 6, By carrying out patterning of the aforementioned electric conduction film 24 to the process which forms the electric conduction film 24 which consists of a different material from the aforementioned silicide layers 26a, 26c, 26d, 26g, and 26f The first wiring 28 connected to silicide layer 26a on the aforementioned pattern 16 for gate electrodes, The second wiring 27 connected to 26d of silicide layers of the first active region 5 of the above, The third wiring 27 connected to 26g of silicide layers of the second active region 6 of the above is formed. It attains by the manufacture method of the semiconductor device characterized by having the process which forms the contact pad layer 32 on the formation field of the contact hole 35 formed on the aforementioned first and the second active region 5 and 6, and the outskirts of it simultaneously.

[0020] (12) Solve the aforementioned silicide layers 26a, 26c, 26d, 26g, and 26f by the manufacture method of the semiconductor device of (10) characterized by being formed of Salicide.

(13) Solve the aforementioned electric conduction film 24 by the manufacture method of the semiconductor device of (5) characterized by being constituted by a tungsten, a titanium nitride, a titanium tungsten, a polycide, and silicide, or (10).

[0021] (14) The aforementioned pattern 16 for gate electrodes has the first conductivity-type impurity content field 13 and the second conductivity-type impurity content field 14, and solves silicide layer 26a on the aforementioned pattern 16 for gate electrodes by the manufacture method of the semiconductor device of (10) characterized by having short-circuited this first conductivity-type impurity content field 13 and this second conductivity-type impurity content field 14.

[0022] (15) The field oxide film 4 which surrounds the first active region 5 and second active region 6 among the semiconductor layers 2 and 3, The pattern 16 for gate electrodes which was formed and was unified on the first active region 5 of the above, and the second active region 6 of the above, Silicide layer 26a formed in the part on the  
5   aforementioned pattern 16 for gate electrodes, The wiring 28 which extends in the aforementioned first and the second active region 5 and 6 from silicide layer 26a formed on the aforementioned pattern 16 for gate electrodes, It is formed from the electric conduction film 24 which constitutes the aforementioned wiring 28. It solves with the semiconductor device characterized by having a part for a connection with the wiring  
10   formed in the upper layer rather than the aforementioned electric conduction film 24 among the first active region 5 of the above, and the second active region 6 of the above, and the contact pad 32 formed around it.

[0023] (16) The field oxide film 4 which surrounds active regions 5 and 6 among the semiconductor layers 2 and 3, The gate insulator layers 7 and 8 formed in the front face  
15   of the aforementioned semiconductor layers 2 and 3 in the aforementioned active regions 5 and 6, The gate electrode patterns 16 and 17 which are formed on the aforementioned gate insulator layers 7 and 8, and are prolonged in the aforementioned active region 5 and the exterior out of six, The silicide layers 26a and 26b formed in the part on the aforementioned gate electrode patterns 16 and 17, The wiring 27 and 28  
20   connected to the aforementioned gate electrode pattern 16 and the silicide layers 26a and 26b on 17, It solves with the semiconductor device characterized by having the contact pad 32 which was formed from the electric conduction film 24 which constitutes the aforementioned wiring 27 and 28, and was formed on the contact hole formation field of the aforementioned active regions 5 and 6, and the outskirts of it.

[0024] (17) The field oxide film 4 which surrounds the first active region 5 and second active region 6 among the semiconductor layers 2 and 3, The gate insulator layers 7 and 8 in which the front face of the aforementioned semiconductor layers 2 and 3 of the

first active region 5 of the above and the second active region 6 of the above was formed, respectively, The first gate electrode pattern 16 and the second gate electrode pattern 17 which were formed in parallel on the aforementioned gate insulator layers 7 and 8 and the aforementioned field oxide film 4, The silicide layers 26a and 26b formed in the opening 23 of the wrap insulator layer 15 in each the aforementioned first and second front faces of the gate electrode patterns 16 and 17, The gate electrode pattern 17 of the above second is straddled from silicide layer 26a formed on the gate electrode pattern 16 of the above first, and it is the impurity diffusion layer S1 of the first active region 5 of the above, and S2. The first wiring layer 28 connected, The gate electrode pattern 16 of the above first is straddled from silicide layer 26b formed on the gate electrode pattern 17 of the above second, and they are the impurity diffusion layer S3 of the second active region 6 of the above, and S4. The second wiring layer 6 connected, It solves with the semiconductor device characterized by having the contact pad 32 which was formed from the electric conduction film 24 which constitutes the aforementioned first and the second wiring 27 and 28, and was formed on the contact hole formation field of the aforementioned active regions 5 and 6, and the outskirts of it. [0025] Or the aforementioned silicide layers 26a and 26b are solved by the manufacture method of the semiconductor device of (15) characterized by being formed of Salicide, or (16).

(19) Solve the aforementioned electric conduction film 24 by the manufacture method of a semiconductor device (5) characterized by being constituted by a tungsten, a titanium nitride, a titanium tungsten, a polycide, and silicide, (15), or given in (16).

[0026]

[For \*\* ] According to this invention, the silicide formation field of the semiconductor layer which consists of silicon by the oxidation-resistant sidewall formed in the self-adjustment target is covered. p type and an n type impurity are had good control of striking in any direction on some masks using this oxidation-resistant sidewall. After

carrying out patterning of the semiconductor layer furthermore and forming a dual gate pattern The front face of a dual gate pattern is oxidized on a mask using an oxidation-resistant sidewall, and it is [silicide-] made to expose the front face of the semiconductor layer exposed by subsequently removing an oxidation-resistant sidewall  
5 alternatively.

[0027] Therefore, at the dual gate, since the width of face of the silicide-ized field becomes very narrow, reduction-ization of the dual gate will be attained and detailed-ization of a SRAM cell will progress further. And since the oxidation-resistant sidewall formed in a self-adjustment target is used as an oxidation-resistant mask used  
10 in case some masks used in case impurity ion is injected into a semiconductor layer, and a part of front face of a semiconductor layer are oxidized thermally, a throughput improves compared with the case where a mask is formed by photo lithography.

[0028] Moreover, according to another this invention, the contact pad arranged to the field which is going to form a contact hole among active regions is formed from the  
15 electric conduction film which constitutes the wiring connected to the silicide layer which appears in the front face of the gate electrode pattern of the MOS transistor formed in an active region. Since only a distance predetermined in a contact pad and a silicide layer is then isolated, risk of both connecting too hastily is avoided, and in order to form a contact pad, moreover, it is not necessary to add a new process.

20 [0029]

[Example]

(The 1st example) The manufacturing process of the SRAM cell which equipped below with the CMOS inverter concerning the example of this invention is explained. The plan in which drawing 1 and drawing 2 show the manufacturing process of a SRAM cell,  
25 drawing 3 - drawing 5 are drawing 1 (a) about the manufacturing process. The cross section and drawing 6 which show the manufacturing process seen from the A-A line cross section are drawing 1 (a) about the manufacturing process. It is the cross section

showing the manufacturing process seen from the B-B line cross section.

[0030] First, a process until it divides the active region in which an MOS transistor is formed is explained. Drawing 1 (a) The N well 2 and the P well 3 are formed in the semiconductor substrate 1 which consists of silicon so that it may be shown. The field insulator layer 4 which consists of SiO<sub>2</sub> is formed in the front face of the N well 2 and P well 3 by the selective oxidation method. In the N well 2, the first active region 5 of an abbreviation T typeface is divided for a flat surface by the field insulator layer 4, and the second active region 6 of an abbreviation U typeface is divided for the flat surface by the field insulator layer 4 in the P well 3. The first and the second active region 5 and 6 serve as physical relationship with which the bottom of U characters and the head of T characters set an interval and which they face.

[0031] In addition, the load transistor Q1 of SRAM shown in the first active region 5 according to the following processes at drawing 9 and Q2 Two becoming p type MOS transistors are formed, and it is the drive transistor Q3, Q4, the transfer transistor Q5, and Q6 in the second active region 6. Four becoming n type MOS transistors will be formed. Next, it goes into the formation process of the electric conduction film used as the dual gate electrode of a CMOS inverter. Drawing 3 (a) After defecating the front face of the N well 2 exposed from the first and the second active region 5 and 6, and the P well 3 by fluoric acid etc. so that it may be shown, the gate insulator layers 7 and 8 which oxidize the front face thermally and consist of SiO<sub>2</sub> are formed in the thickness of 50-100Å.

[0032] Then, amorphous or the silicon layer (semiconductor layer) 9 of a polycrystal is grown up to be the thickness of 1500-2500Å by CVD on the field insulator layer 4, the first, and the second active region 5 and 6, and the BSG (boro-silicate glass) film 10 is further grown up to be the thickness of 1000-4000Å. In the BSG film 10, boron is 1x10<sup>20</sup> atoms/cm<sup>3</sup> as a p type impurity. It is contained by concentration.

[0033] To next, it is drawing 3 (b). Patterning of the BSG film 10 is carried out by the

photo lithography method, and the BSG film 10 is removed from the field in which the P well 3 is formed so that it may be shown. The edge of the BSG film 10 by which patterning was carried out is made into a stair-like flat-surface configuration which crosses the boundary line L of the N well 2 and the P well 3. Then, drawing 3 (c) The silicon nitride 11 is grown up to be the thickness of 1000-2000A on the BSG film 10 and the silicon layer 9 by CVD, and, subsequently to a perpendicular direction, the silicon nitride 11 is mostly \*\*\*\*\*ed by the reactive-ion-etching (RIE) method so that it may be shown. The etchant is for example, Freon system gas.

[0034] Thereby, the silicon nitride 11 is made to remain alternatively on the side of the edge of the BSG film 10 which crosses the boundary line L of the N well 2 and the P well 3. Let this silicon nitride 10 be the oxidation-resistant and insulating sidewall 12. Following on this, the flat-surface configuration of the sidewall 12 of the side of the BSG film 10 is drawing 1 (b). It becomes the shape of a stairway as shown. Then, the BSG film 10 and a sidewall 12 are used for a mask, and the ion implantation of arsenic or an n type impurity like phosphorus is carried out to the management of the silicon layer 9 which exists in the P well 3 side. Furthermore, since n type impurity injected into the silicon layer 9 is activated and the boron in the BSG film 10 is diffused in the silicon layer 9 under it, the BSG film 10 and the silicon layer 9 are heated at the temperature of about 900 degrees C. Thereby, the silicon layer 9 under the BSG film 10 is high-impurity-concentration  $1 \times 10^{20}$  atoms/cm<sup>3</sup>. The silicon layer 9 of the field by which turned into p type impurity range 13, and the ion implantation was carried out is high-impurity-concentration  $1 \times 10^{20}$  atoms/cm<sup>3</sup>. It becomes n type impurity range 14. In this case, in the field covered by the sidewall 12 among the silicon layers 9, p type and an n type impurity are spread, and pn junction is formed.

[0035] Then, drawing 4 (a) After buffer fluoric acid removes the BSG film 10 alternatively so that it may be shown, the front face of the silicon layer 9 is oxidized thermally on an oxidation-resistant mask using a sidewall 12, and SiO<sub>2</sub> film (insulator

layer) 15 of 500-1000A of thickness is formed. In this case, since SiO<sub>2</sub> film 15 is not formed in the bottom of a sidewall 12, the opening 23 of SiO<sub>2</sub> film 15 will be formed here simultaneously.

[0036] In addition, you may activate simultaneously n type impurity in diffusion and the silicon layer 9 of p type impurity to the silicon layer 9 from the BSG film 10 described above at the time of this thermal oxidation. In this case, the BSG film 10 will be left on the silicon layer 9 as it is, without removing. Next, it goes into the patterning process of the dual gate of an MOS transistor.

[0037] Drawing 1 (c) And drawing 4 (b) Patterning of SiO<sub>2</sub> film 15 and sidewall 12 the silicon layer 9 and on it is carried out by the photo lithography method so that it may be shown. This separates and forms the dual gate patterns 16 and 17 of the two shape of a stripe which passes along the first active region 5 and second active region 6. These stripe patterns 16 and 17 are arranged so that the field corresponding to the underline of U characters of the second active region 6 may be straddled while going direct and passing through the field corresponding to the horizontal line of T characters of the first active region 5.

[0038] In case such dual gate patterns 16 and 17 are formed, simultaneously, it passes along the field corresponding to two vertical lines of U characters among the second active region 6, and, moreover, the WORD line pattern 18 prolonged in the direction which intersects perpendicularly with the dual gate patterns 16 and 17 is formed. The portion which laps with the first active region 5 among the dual gate patterns 16 and 17 is the load transistor Q1 shown in drawing 9 , and Q2. The portion which functions as a gate electrode and laps with the second active region 6 is the drive transistor Q3 and Q4. It functions as a gate electrode. Furthermore, the portion which laps with the second active region 6 among the WORD line patterns 18 is the transfer transistor Q5 and Q6. It functions as a gate electrode.

[0039] In addition, drawing 1 (c) It sets and two WORD line patterns 18 and 19 are

formed. This is because another active region which has the same function as the second active region 6 is continued and formed in the second active region 6, and the WORD line 19 of another SRAM cell is formed there. Next, it goes into the process which forms the source field of the LDD structure of an MOS transistor, and a drain field.

[0040] Drawing 4 (b) The ion implantation of a p type impurity like boron is carried out to the first active region 5, and shallow p type impurity diffusion layer 20p of a source field and a drain field is formed so that it may be shown. the high impurity concentration --  $1 \times 10^{18}$  to  $1 \times 10^{19}$  atoms/cm<sup>3</sup> it is . Furthermore, the ion implantation of arsenic and an n type impurity like phosphorus is carried out to the second active region 6, and 20n of shallow n type impurity diffusion layers is formed. the high impurity concentration --  $1 \times 10^{18}$  to  $1 \times 10^{19}$  atoms/cm<sup>3</sup> it is . In case the ion implantation of such p types and the n type impurity is carried out, the field insulator layer 4, the dual gate patterns 16 and 17, and the WORD line patterns 18 and 19 are used as a mask.

[0041] Then, after forming an insulator layer like SiO<sub>2</sub> in the whole by CVD at the thickness of 1000Å, it is drawing 2 (a). Abbreviation perpendicular etching of this insulator layer is carried out by the RIE method, and the insulating sidewall 21 is formed in the side of the dual gate patterns 16 and 17 and the WORD line patterns 18 and 19 so that it may be shown. Thereby, in each upper surface and side of the dual gate patterns 16 and 17 and the WORD line patterns 18 and 19, it will be covered by the insulator layer.

[0042] And the dual gate patterns 16 and 17, the WORD line patterns 18 and 19, the field insulator layer 4, and a sidewall 21 are used for a mask, and the ion implantation of a p type impurity like boron is carried out to the first active region 5, and the ion implantation of an n type impurity like phosphorus is carried out to the second active region 6, and it is drawing 4 (c) to those fields. p type impurity diffusion layer 22p and 22n of n type impurity diffusion layers as shown are formed deeply. in this case, the

high impurity concentration of p type impurity diffusion layer 22p -- the high impurity concentration of  $1 \times 10^{20}$  atoms/cm<sup>3</sup> and 22n of n type impurity diffusion layers --  $1 \times 10^{20}$  atoms/cm<sup>3</sup> it is .

[0043] In addition, in having good control of striking the impurity of p type and n type in any direction, it uses as a mask the pattern of the photoresist which is not illustrated. The source field of LDD structure and a drain field are constituted by the above n type nonproliferation layers 20n and 22n and p type impurity diffusion layers 20n and 22p, and the formation process of an MOS transistor finishes. Thereby, it is the load transistor Q1, Q2, the drive transistor Q3, and Q4. And the transfer transistor Q5 and Q6 It exists in the second active region 5 and 6 for a start ( drawing 2 (a)).

[0044] Heat phosphoric acid removes the dual gate pattern 16 and the sidewall 12 which consists of a silicon nitride on 17. next, by this <A HREF="/Tokujitu/tjitemdrw.ipdl?N0000=237&N0500=1E\_N/;?8=<?;:///&N0001=177&N0552=9&N0553=000004" TARGET="tjitemdrw"> drawing 2 (b)

Opening of the opening 23 for exposing the silicon layer 9 of the dual gate patterns 16 and 17 is carried out so that it may be shown. In addition, you may perform removal of the sidewall 12 which consists of a silicon nitride immediately after oxidizing the front face of the silicon layer 9 and forming SiO<sub>2</sub> film 15.

[0045] Next, it goes into the process which forms a silicide layer in the front face of a silicon layer with the Salicide technology. Drawing 5 (a) Drawing 6 (a) After forming the metal membrane 25 of Co, Ti, and nickel and others by the spatter so that it may be shown, and each transistor may be covered, the metal membrane 25 is heated at 600-700 degrees C. Thereby, it is drawing 2 (b). Drawing 5 (a) Drawing 6 (a) So that it may be shown The front face of the portion exposed from the opening 23 of the silicon layers 9 which constitute the dual gate patterns 16 and 17, The metal silicide layers 26a-26j are formed in the front face of the silicon layer in the first which is not covered by the dual gate patterns 16 and 17 and the WORD line patterns 18 and 19 and the

second active region (the source / drain field) 5 and 6, respectively. There are Ti, Co, and nickel as a metal membrane 25, and the silicide is TiSi, CoSi, and NiSi. It can come, and is alike, then is drawing 5 (b). Drawing 6 (b) It is  $H_2O_2+H_2SO_4$  so that it may be shown. Silicon and the metal membrane 25 which did not react are alternatively removed by the wet etching method by mixed liquor. If required, you may add the 2nd heat treatment after that.

[0046] Thereby, the dual gate pattern 16, and p type impurity range 13 and n type impurity range 14 in 17 are connected through Silicide 26a and 26b, and the dual gate is completed. Next, it moves to the formation process of the proximity wiring which connects MOS transistors, and the formation process of the contact pad connected to power supply wiring, bit wiring, etc.

[0047] After forming the electric conduction films 24, such as wraps TiW, TiN, and W, a polycide, and silicide, for an MOS transistor by PVD, CVD, etc., patterning of this electric conduction film 24 is carried out by photo lithography. Thereby, it is drawing 2 (c). So that it may be shown While forming the wiring 27 (28) for connecting the drain field D1 (D2) of the load transistor Q1 (Q2), and the drain field D3 (D4) of the drive transistor Q3 (Q4), and constituting 2 sets of CMOS inverters Those wiring 27 (28) is delayed over the dual gate pattern 16 of the MOS inverter of self (17) to silicide layer 26b (26a) of the dual gate pattern 17 of the next CMOS inverter (16), and cross coupling is performed. Simultaneously, it is two load transistors Q1 and Q2. The common source field S12 and its circumference, Two drive transistors Q3 and Q4 The common source field S34 and its circumference, A bit line BL, the transfer transistor Q5 to which BL bar is connected, and Q6 The source / drain fields 5 SD [ SD and ] 6 And the contact pads 30-33 are formed in the circumference, respectively (refer to drawing 6 (c)).

[0048] Although some of these contact pads 30-33 lap with some of dual gate patterns 16 and 17 or WORD line patterns 18 and 19, they do not contact soon. It is because

insulator layers 15 and 21 are formed in the dual gate patterns 16 and 17 or the WORD line patterns 18 and 19. After finishing formation of the wiring which connects them with formation of six MOS transistors which constitute a SRAM cell as mentioned above, it moves to the connection process of a bit line and power supply wiring.

5 [0049] drawing 6 (d) after carrying out patterning of the first layer insulation film 34a by the photo lithography method after covering an MOS transistor by layer insulation film 34a which consists of a CVD film so that it may be shown, and forming a contact hole (un-illustrating) -- a layer insulation film 34a top -- a tungsten, aluminum, etc. -- an eye metal membrane is further formed by the spatter, patterning of this is carried out  
10 and power supply wiring is formed

[0050] Next, after covering power supply wiring by second layer insulation film 34b, patterning of the first and second layer insulation films 34a and 34b is carried out, and it is two transfer transistors Q5 and Q6. The source / drain fields 5 SD [ SD and ] 6 A contact hole 35 is formed in the field which is going to connect a bit line BL and BL bar  
15 inside. In this case, the contact pad 32 is formed in the bottom of the field which is going to form a contact hole 35, and a part of the contact pad 32 is the source / drain fields 5 SD [ SD and ] 6. Since it connects, the margin of alignment, such as an exposure mask in the case of contact hole formation, is secured.

[0051] A two-layer eye metal is formed a second layer insulation film 34b top and in a  
20 contact hole 35, after forming a beer hall and a contact hole 35, par NINGU of this is carried out and a bit line 38 is formed, and it lets a VIYA hole and a contact hole 35 pass, and they are the source / drain fields 5 SD [ SD and ] 6 of a transfer transistor. It connects. In addition, two drive transistors Q3 and Q4 It is Vss power supply wiring similarly through a contact hole 36 in the common source field S34 top Two load  
25 transistors Q5 and Q6 On the common source field S12, Vcc power supply wiring is formed by the aforementioned 1st layer metal membrane through a contact hole 37 (drawing 2 (c)).

[0052] Since the contact pads 30 and 31 are formed in the bottom of those contact holes 36 and 37 as described above, a leeway is given in the alignment at the time of forming contact holes 36 and 37. By the way, as described above, since the silicide layers 26a and 26b of the upper surface of the dual gate patterns 16 and 17 are formed in the field to which the sidewall 12 with the narrow width of face formed in the self-adjustment target was removed, the area of the silicide layers 26a and 26b becomes very narrow with about 0.2x0.3 micrometers. Consequently, even if only the part to which the area of the silicide layers 26a and 26b became small makes small distance between the first active region 5 and the second active region 6, the trouble of it is lost to element formation. This means that detailed-ization of a SRAM cell progresses further.

[0053] Moreover, forming the oxidation-resistant pattern formed on the silicide layers 26a and 26b of the dual gate patterns 16 and 17 by photo lithography is also considered. However, according to the photo lithography, since the formation process of a resist pattern will be added, it will be necessary to secure alignment margins, such as a photo mask, and there is un-arranging [ that a pattern becomes large ]. However, it becomes an effective method when it is not necessary to adhere to the dual gate (i.e., when it is a single gate).

[0054] In the above-mentioned explanation, although the manufacturing process of one SRAM cell was explained, in a semiconductor memory, many SRAM cells are formed on a substrate. In addition, although patterning of the BSG film 10 is carried out and it was made to expose the silicon layer 9 of the second active region 5 in the above-mentioned explanation, a PSG film (un-illustrating) is formed instead of the BSG film 10, patterning of this PSG film is carried out, and you may make it expose the silicon layer 9 by the side of the first active region 5. In this case, while diffusing  $\text{Lynn}$  in the silicon layer 9 from the PSG film, the ion of B and  $\text{BF}_2$  is poured in and diffused in the silicon layer 9 which is not covered by the PSG film. In this case, a sidewall 12 is

formed in the side attachment wall of a PSG film.

In (the 2nd example) and the process which forms the silicide layers 26a and 26b in the boundary of p type impurity range 13 of the dual gate patterns 16 and 17, and n type impurity range 14 in time, the counter diffusion of p type impurity in the boundary and n type impurity is large, and is sometimes inadequate. [ of just the area of the above-mentioned sidewall 12 ] In such a case, the following processes are adopted.

[0055] First, drawing 3 (b) After being in the state which shows, it is drawing 7 (a). The laminating of the silicon nitride 11 is carried out on the BSG film 10 and the semiconductor layer 9 so that it may be shown. Furthermore, the film 40 which can change the silicon nitride 11 and etch selectivity, for example, a PSG film, is formed on the silicon nitride 11. Thickness of this PSG film 40 is made into the double-precision grade of each diffusion length of p type impurity and n type impurity, for example, the thickness of 5000A. Since stress is small, even if the PSG film 40 thickens thickness, it does not have a bad influence.

[0056] Next, drawing 7 (b) Anisotropic etching of the PSG film 40 is carried out to an abbreviation perpendicular direction by the RIE method, and, thereby, the PSG film 40 is made to remain only on the side of the level difference of the silicon nitride 11 produced around the marginal part of the BSG film 10 so that it may be shown. And when the PSG film 40 by which patterning was carried out is used as a mask and the silicon nitride 11 is \*\*\*\*\*ed, it is drawing 7 (c). Sidewall 12a which consists of a silicon nitride 11 is formed in the side of the BSG film 10 so that it may be shown.

[0057] According to the process explained in the 1st example, an impurity is introduced into the silicon layer 9 and p type impurity range 13 and n type impurity range 14 are formed next. Subsequently, after removing the BSG film 10, it is drawing 7 (c). The front face of the silicon layer 9 which is not covered by sidewall 12a is oxidized, and SiO<sub>2</sub> film 15 is formed so that it may be shown. Patterning of the silicon layer 9 is carried out, the dual gate patterns 16 and 17 are formed, after removing sidewall 12a continuously

or removing sidewall 12a previously, the dual gate patterns 16 and 17 are formed and silicide layer 26a is formed in the front face of the exposed silicon layer 9 next according to the process of the 1st example ( drawing 7 (d)).

[0058] By the way, the above-mentioned oxidation-resistant sidewall 12a has spread in the direction of the second active region 6 rather than the sidewall 12 of the 1st example. Thereby, the silicide layers 26a and 26b on the dual gate patterns 16 and 17 become large. Consequently, even if the diffusion length of p type impurity and n type impurity is large, since the extension connects with the high concentration portions of p type impurity range 13 and n type impurity range 14, the silicide layers 26a and 26b connect certainly p type impurity range 13 and n type impurity range 14 electrically.

(The 3rd example) In the above-mentioned example, although it is made to form the contact pads 30-33 in the source field or drain field of an MOS transistor, in not forming such contact pads 30-33, it performs a process as follows.

[0059] First, the load transistor Q1 and Q2 The drive transistor Q3 and Q4 After finishing connection, it is drawing 8 (a). The layer insulation film 34 which covers all MOS transistors by the aluminum-oxide film (aluminum 2O3) 41, and consists of SOG continuously is formed so that it may be shown. Next, drawing 8 (b) A contact hole 35 is formed in the layer insulation film 34 so that it may be shown. Since the layer insulation film 34 has etch selectivity to an aluminum oxide, in case a contact hole 35 is formed, the wrap insulator layers 15 and 21 are removed neither in the WORD line patterns 18 and 19 nor the dual gate patterns 16 and 17. And if sputtering etch removes alternatively the aluminum-oxide film 41 exposed from the contact hole 35, they will be the source / drain field SD 5. It appears. Moreover, the same effect is expectable, even if it replaces with oxidization aluminum NINIUMU and uses a SHIRIKONCHITSU-ized film.

(Other examples) That patterning should just be carried out simultaneously with the wiring connected to a dual gate pattern, the above-mentioned contact pads 30-33 may

not be influenced by the formation process of a dual gate pattern, and patterning may be carried out simultaneously with the wiring connected to the dual gate pattern formed of the conventional process. At the conventional process, said opening 23 is formed by the usual photo lithography method.

5 [0060] Moreover, the formation process of the dual gate of the above-mentioned example is applicable not only to CMOS of a SRAM cell but the gate of CMOS in the other semiconductor device.

[0061]

10 [Effect of the Invention] According to this invention, the silicide formation field of the semiconductor layer which consists of silicon by the oxidation-resistant sidewall formed in the self-adjustment target is covered. p type and an n type impurity are had good control of striking in any direction on some masks using this oxidation-resistant sidewall. After carrying out patterning of the semiconductor layer furthermore and forming a dual gate pattern The front face of a dual gate pattern is oxidized on a mask using an  
15 oxidation-resistant sidewall, and it is [ silicide-] made to be the front face of the semiconductor layer exposed by subsequently removing an oxidation-resistant sidewall alternatively.

[0062] Therefore, at the dual gate, since the width of face of the silicide-ized field becomes very narrow, reduction-ization of the dual gate is attained and can carry out  
20 [ detailed ]-izing of the SRAM cell further. And since the oxidation-resistant sidewall formed in a self-adjustment target is used as an oxidation-resistant mask used in case some masks used in case impurity ion is injected into a semiconductor layer, and a part of front face of a semiconductor layer are oxidized thermally, a throughput can be improved compared with the case where a mask is formed by photo lithography.

25 [0063] Moreover, according to another this invention, the contact pad arranged to the field which is going to form a contact hole among active regions is formed from the electric conduction film which constitutes the wiring connected to the silicide layer

which appears in the front face of the gate electrode pattern of the MOS transistor formed in an active region. For this reason, since a silicide layer is estranged with a contact pad and arranged in case patterning of the contact pad is carried out, the need of adding the new process for both not connecting too hastily and moreover forming a contact pad is abolished, and it becomes possible to form positioning of a contact aperture into a self aryne to the source / drain diffusion layer.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] Drawing 1 is the 1st example of this invention, and is the plan (the 1) showing the formation process of the SRAM cell equipped with the dual gate.

[Drawing 2] Drawing 2 is the 1st example of this invention, and is the plan (the 2) showing the formation process of the SRAM cell equipped with the dual gate.

[Drawing 3] Drawing 3 is drawing 1 (a) which shows the formation process of the SRAM cell of the 1st example of this invention. It is the cross section (the 1) seen from the A-A line.

[Drawing 4] Drawing 4 is drawing 1 (a) which shows the formation process of the SRAM cell of the 1st example of this invention. It is the cross section (the 2) seen from the A-A line.

[Drawing 5] Drawing 5 is drawing 1 (a) which shows the formation process of the SRAM cell of the 1st example of this invention. It is the cross section (the 3) seen from the A-A line.

[Drawing 6] Drawing 6 is drawing 1 (a) which shows the formation process of the SRAM cell of the 1st example of this invention. It is the cross section seen from the B-B line.

[Drawing 7] Drawing 7 is the 2nd example of this invention, and is the cross section

showing the formation process of the SRAM cell equipped with the dual gate.

[Drawing 8] Drawing 8 is the 3rd example of this invention, and is the cross section showing the formation process of the SRAM cell equipped with the dual gate.

[Drawing 9] It is the circuit diagram of the general SRAM cell which uses six transistors.

5 [Drawing 10] It is the plan of a SRAM cell showing the advanced technology.

[Description of Notations]

1 Silicon Substrate (Semiconductor Substrate)

2 N Well

3 P Well

10 4 Field Insulator Layer

5 First Active Region

6 Second Active Region

7 Eight Gate insulator layer

9 Silicon Layer (Semiconductor Layer)

15 10 BSG Film (Insulator Layer)

11 Silicon Nitride

12 Sidewall

13 P Type Impurity Range

14 N Type Impurity Range

20 15 SiO<sub>2</sub> Film (Insulator Layer)

16 17 Dual gate pattern

18 19 WORD line pattern

20n, 22n n type impurity diffusion field

20p, 22p p type impurity diffusion field

25 21 Sidewall

23 Opening

24 Electric Conduction Film

25 High-melting Point Metal Membranes 26a-26J Silicide Layer

27 Wiring

30-33 Contact pad

34 Layer Insulation Film

5 35-37 Contact hole

38 Bit Line Connection

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-231044

(43) 公開日 平成7年(1995)8月29日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/8238				
27/092				
21/8242				
		9170-4M	H 0 1 L 27/ 08	3 2 1 F
		9170-4M		3 2 1 D
		審査請求 未請求	請求項の数19	〇 L (全 15 頁) 最終頁に続く

(21) 出願番号 特願平6-21172

(22) 出願日 平成6年(1994)2月18日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 後藤 広志

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

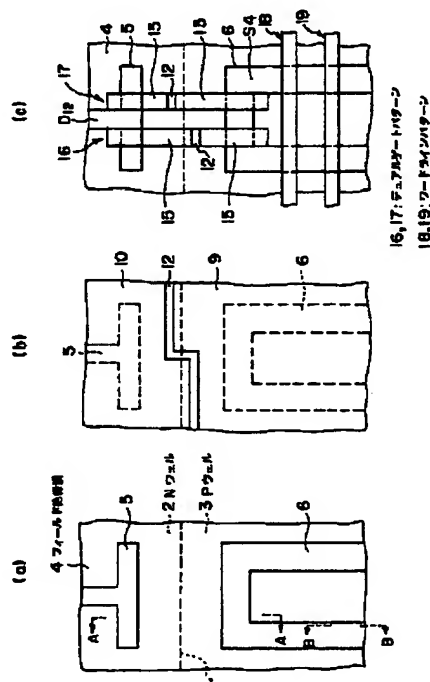
(74) 代理人 弁理士 岡本 啓三

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 相補型電界効果トランジスタを有する半導体装置の製造方法に関し、デュアルゲート構造のp型不純物領域とn型不純物領域を導通させるためのシリサイド形成領域を小さくすることを目的とする。

【構成】 自己整合的に形成された耐酸化性サイドウォール12によってシリコンよりなる半導体層9のシリサイド形成領域を覆い、この耐酸化性サイドウォール12をマスクの一部に使用してp型及びn型の不純物を打ち分け、さらに半導体層9をパターニングしてデュアルゲートパターン16、17を形成した後、耐酸化性サイドウォール12をマスクに使用してデュアルゲートパターン16、17の表面を酸化し、ついで耐酸化性サイドウォール12を選択的に除去することにより露出した半導体層9の表面をシリサイド化する工程を含む。



## 【特許請求の範囲】

【請求項1】第一導電型不純物を含む第一の半導体層

(2)の表面にフィールド絶縁膜(4)を形成して第一の活性領域(5)を区画し、かつ、第二導電型不純物を含む第二の半導体層(3)の表面に該フィールド絶縁膜(4)を形成して第二の活性領域(6)を区画する工程と、

前記第一の活性領域(5)にある前記第一の半導体層

(2)と前記第二の活性領域(6)にある前記第二の半導体層(3)の表面のそれぞれにゲート絶縁膜(7, 8)を形成する工程と、

前記ゲート絶縁膜(7, 8)及び前記フィールド絶縁膜(4)の上に不純物を含まない第三の半導体層(9)を形成する工程と、

前記第三の半導体層(9)の上に第二導電型不純物を含む第一の絶縁膜(10)を形成する工程と、

前記第一の絶縁膜(10)をパターンニングすることにより、前記第二の活性領域(6)の前記半導体層(3)の表面を露出するとともに前記第一の絶縁膜(10)の縁部が前記第一の活性領域(5)と前記第二の活性領域

(6)の間に位置するパターンを形成する工程と、  
パターンニングされた前記第一の絶縁膜(10)と前記半導体層(3)の上に耐酸化性の第二の絶縁膜(11)を形成する工程と、

前記第二の絶縁膜(11)を異方性エッチングして前記第一の絶縁膜(10)の側方に選択的に残存させて耐酸化性サイドウォール(12, 12a)を形成する工程と、

前記第一の絶縁膜(10)及び前記耐酸化性サイドウォール(12, 12a)をマスクに使用して、前記第二の活性領域(6)の前記第三の半導体層(9)に第一導電型不純物を導入する工程と、

前記第一の絶縁膜(10)内の第二導電型不純物をその下の前記第三の半導体層(9)に拡散し、かつ前記第三の半導体層(9)内の第二導電型不純物を活性化する工程と、

前記第三の半導体層(9)の表面を熱酸化して絶縁膜(15)を形成する工程と、

前記耐酸化性サイドウォール(12, 12a)を除去して前記第三の半導体層(9)の表面の一部を露出する工程と、

前記第三の半導体層(9)とその上の層をパターンニングして第一の活性領域(5)の上から第二活性領域(6)の上に至る範囲にMOSトランジスタのゲート電極となるゲート用導電性パターン(16, 17)を形成する工程と、

前記半導体層の表面にシリサイド層(26a, 26b)を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】前記ゲート用導電性パターン(16, 1

7)をマスクにして前記第一の活性領域(5)にある前記第一の半導体層(2)に第二導電型不純物をイオン注入、拡散することにより、第一及び第二のMOSトランジスタ( $Q_1$ ,  $Q_2$ )のソース領域( $S_1$ ,  $S_2$ )及び第二導電型ドレイン領域( $D_{12}$ )を形成する工程と、  
前記ゲート用導電性パターン(16, 17)をマスクにして前記第二の活性領域(6)にある前記第二の半導体層(3)に第一導電型不純物をイオン注入、拡散することにより、第三及び第四のMOSトランジスタ( $Q_3$ ,  $Q_4$ )のソース領域( $S_3$ ,  $S_4$ )及びドレイン領域( $D_{34}$ )を形成する工程とを有することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】前記ゲート用導電性パターン(16, 17)の側壁には絶縁性サイドウォール(21)が形成され、前記第一導電型不純物及び第二導電型不純物は、該絶縁性サイドウォール(21)の形成前と形成後に2度イオン注入されることにより前記ソース領域( $S_1$ ,  $S_2$ ,  $S_3$ ,  $S_4$ )及び前記ドレイン領域( $D_{12}$ ,  $D_{34}$ )はLD構造を有していることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】前記耐酸化性サイドウォール(12a)を形成する前に第二の絶縁膜(11)の上に第三の絶縁膜(40)を形成し、該第三の絶縁膜(40)を異方性エッチングすることにより、前記第二の絶縁膜(11)のうち前記第一の絶縁膜(10)の縁部に沿った段部の側面に該第三の絶縁膜(40)を選択的に残存させる工程と、

前記第三の絶縁膜(40)のパターンをマスクにして前記第二の絶縁膜(11)を異方性エッチングすることにより、前記第一の絶縁膜(10)の縁部から前記第三の絶縁膜(40)に至る領域に前記第二の絶縁膜(11)からなる耐酸化性サイドウォール(12a)を形成する工程とを有することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】前記ゲート用導電パターン(16, 17)は間隔をおいて2つ形成され、前記ゲート用導電パターン(16, 17)及び前記第一及び第二の活性領域(5, 6)を前記シリサイド層(26a, 26b)の材料と異なる導電膜(24)によって覆う工程と、  
一方の前記ゲート用導電膜パターン(16)上のシリサイド層(26a)から他方の前記ゲート用導電膜パターン(17)上の絶縁膜(15)を跨いで他方の前記ゲート用導電膜パターン(27)の一側方の前記第一及び第二の活性領域(5, 6)まで引き出される第一の配線(27)と、他方の前記ゲート用導電膜パターン(17)の上のシリサイド層(26b)から一方の前記ゲート用導電膜パターン(16)の上の絶縁膜(15)を跨いで一方の前記ゲート用導電膜パターン(16)の側方の前記第一及び第二の活性領域(5, 6)まで引き出される第二の配線(28)を形成する工程とを有することを

特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】前記導電膜(24)をパターニングする際に、前記第一又は第二の活性領域(5, 6)のうち上部配線(36)が接続される領域とその周辺に前記導電膜よりなるコンタクトパッド(32)を形成することを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】前記第一の活性領域(5)において、2つの前記ゲート用導電パターン(16, 17)の両側の第一の半導体層(2)の表層に形成されるソース領域( $S_1$ ,  $S_2$ )、ドレイン領域( $D_{12}$ )と前記ゲート用導電パターン(16, 17)とによって第一及び第二のMOSトランジスタ( $Q_1$ ,  $Q_2$ )が構成され、前記第二の活性領域(6)において、2つの前記ゲート用導電パターン(16, 17)の両側の半導体層(3)の表層に形成されるソース領域( $S_3$ ,  $S_4$ )、ドレイン領域( $D_{34}$ )と前記ゲート用導電パターン(16, 17)とによって第一導電型のMOSトランジスタ( $Q_3$ ,  $Q_4$ )が形成され、前記第一及び第二の配線(27, 28)により前記第一〜第四のMOSトランジスタ( $Q_1$ ,  $Q_2$ ,  $Q_3$ ,  $Q_4$ )によりSRAMセルのフリップフロップ回路が形成されることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項8】前記第三の半導体層(9)は、多結晶シリコン又は非晶質シリコンのいずれかであることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項9】前記シリサイド層(26a, 26b)は、シリサイドにより形成されたチタンシリコン、コバルトシリコン、ニッケルシリコンであること特徴とする請求項1記載の半導体装置の製造方法。

【請求項10】前記シリサイド層(26a, 26b)は、高融点金属との合金であること特徴とする請求項1記載の半導体装置の製造方法。

【請求項11】第一導電型不純物を含む第一の半導体層(2, 3)の表面にフィールド絶縁膜(4)を形成して第一の活性領域(5)と第二の活性領域(6)を区画する工程と、前記第一及び第二の活性領域(5, 6)と前記フィールド絶縁膜(4)の上にシリコン層(9)を形成する工程と、前記シリコン層(9)に不純物を導入する工程と、前記シリコン層(9)の表面に第一の絶縁膜(15)を形成し、前記第一の活性領域(5)と前記第二の活性領域(6)の間の領域で該第一の絶縁膜(15)の一部に開口部(23)を形成する工程と、前記シリコン層(9)をパターニングすることにより、前記開口部(23)を有し且つ前記第一の活性領域(5)と前記第二の活性領域(6)に形成される2つのMOSトランジスタ( $Q_1$ ,  $Q_3$ )のゲート電極用パターン(16)を一体的に形成する工程と、

前記開口部(23)内の前記シリコン層(9)の表面と前記ゲート電極用パターン(16)の両側方の前記第一及び第二の活性領域(5, 6)の表面とにシリサイド層(26a, 26c, 26d, 26g, 26f)を形成する工程と、

前記シリサイド層(26a, 26c, 26d, 26g, 26f)と異なる材料からなる導電膜(24)を形成する工程と、

前記導電膜(24)をパターニングすることによって、前記ゲート電極用パターン(16)の上のシリサイド層(26a)に接続される第一の配線(28)と、前記第一の活性領域(5)のシリサイド層(26d)に接続される第二の配線(27)と、前記第二の活性領域(6)のシリサイド層(26g)に接続される第三の配線(27)を形成し、同時に、前記第一及び第二の活性領域(5, 6)の上に形成されるコンタクトホール(35)の形成領域及びその周辺にコンタクトパッド層(32)を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項12】前記シリサイド層(26a, 26c, 26d, 26g, 26f)は、シリサイドによって形成されることを特徴とする請求項10記載の半導体装置の製造方法。

【請求項13】前記導電膜(24)はタングステン、窒化チタン、チタンタングステン、ポリサイド、シリサイドにより構成されていることを特徴とする請求項5又は10記載の半導体装置の製造方法。

【請求項14】前記ゲート電極用パターン(16)は、第一導電型不純物含有領域(13)と第二導電型不純物含有領域(14)を有し、前記ゲート電極用パターン(16)上のシリサイド層(26a)は該第一導電型不純物含有領域(13)と該第二導電型不純物含有領域(14)を短絡していることを特徴とする請求項10記載の半導体装置の製造方法。

【請求項15】半導体層(2, 3)のうち第一の活性領域(5)と第二の活性領域(6)を囲むフィールド酸化膜(4)と、前記第一の活性領域(5)と前記第二の活性領域(6)の上に形成され、かつ一体化されたゲート電極用パターン(16)と、

前記ゲート電極用パターン(16)の上の一部に形成されたシリサイド層(26a)と、前記ゲート電極用パターン(16)の上に形成されたシリサイド層(26a)から前記第一及び第二の活性領域(5, 6)に延在する配線(28)と、前記配線(28)を構成する導電膜(24)から形成され、かつ、前記第一の活性領域(5)、前記第二の活性領域(6)のうち前記導電膜(24)よりも上層に形成される配線との接続部分とその周辺に形成されたコンタクトパッド(32)とを有することを特徴とする半導体

装置。

【請求項16】半導体層(2, 3)のうち活性領域(5, 6)を囲むフィールド酸化膜(4)と、前記活性領域(5, 6)にある前記半導体層(2, 3)の表面に形成されたゲート絶縁膜(7, 8)と、前記ゲート絶縁膜(7, 8)の上に形成されて前記活性領域(5, 6)内から外部に延びるゲート電極パターン(16, 17)と、

前記ゲート電極パターン(16, 17)の上の一部に形成されたシリサイド層(26a, 26b)と、前記ゲート電極パターン(16, 17)上のシリサイド層(26a, 26b)に接続される配線(27, 28)と、

前記配線(27, 28)を構成する導電膜(24)から形成され、かつ、前記活性領域(5, 6)のコンタクトホール形成領域及びその周辺に形成されたコンタクトパッド(32)とを有することを特徴とする半導体装置。

【請求項17】半導体層(2, 3)のうち第一の活性領域(5)と第二の活性領域(6)を囲むフィールド酸化膜(4)と、

前記第一の活性領域(5)と前記第二の活性領域(6)の前記半導体層(2, 3)の表面のそれぞれ形成されたゲート絶縁膜(7, 8)と、

前記ゲート絶縁膜(7, 8)及び前記フィールド酸化膜(4)の上に並列に形成された第一のゲート電極パターン(16)及び第二のゲート電極パターン(17)と、前記第一及び第二のゲート電極パターン(16, 17)のそれぞれの表面を覆う絶縁膜(15)の開口部(23)内に形成されたシリサイド層(26a, 26b)と、

前記第一のゲート電極パターン(16)の上に形成されたシリサイド層(26a)から前記第二のゲート電極パターン(17)を跨いで前記第一の活性領域(5)の不純物拡散層( $S_1$ ,  $S_2$ )に接続される第一の配線層(28)と、

前記第二のゲート電極パターン(17)の上に形成されたシリサイド層(26b)から前記第一のゲート電極パターン(16)を跨いで前記第二の活性領域(6)の不純物拡散層( $S_3$ ,  $S_4$ )に接続される第二の配線層(6)と、

前記第一及び第二の配線(27, 28)を構成する導電膜(24)から形成され、かつ、前記活性領域(5, 6)のコンタクトホール形成領域及びその周辺に形成されたコンタクトパッド(32)とを有することを特徴とする半導体装置。

【請求項18】前記シリサイド層(26a, 26b)は、シリサイドにより形成されることを特徴とする請求項15又は16記載の半導体装置の製造方法。

【請求項19】前記導電膜(24)は、タングステン、窒化チタン、チタタングステン、ポリサイド、シリサ

イドにより構成されていることを特徴とする請求項5又は15又は16記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置及びその製造方法に関し、より詳しくは、相補型電界効果トランジスタを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】SRAMセルとして6個のMOSトランジスタを使用したものがあり、例えば図9に示すような回路構成となっている。即ち、そのSRAMセルは、pチャネル負荷トランジスタ $Q_1$ 、 $Q_2$ とnチャネル駆動トランジスタ $Q_3$ 、 $Q_4$ からなる2つのCMOSインバータを有している。一方のCMOSインバータを構成する負荷トランジスタ $Q_1$ と駆動トランジスタ $Q_3$ の各ゲートは他方のCMOSインバータの駆動トランジスタ $Q_4$ のドレインに接続され、また、同じように他方のCMOSインバータを構成する負荷トランジスタ $Q_2$ と駆動トランジスタ $Q_4$ の各ゲートは他方のCMOSインバータの駆動トランジスタ $Q_3$ のドレインに接続される。さらに、2つの駆動トランジスタ $Q_3$ 、 $Q_4$ の各ドレインはnチャネル転送トランジスタ $Q_5$ 、 $Q_6$ の2つのソース/ドレインを介してビットラインBL、反転信号BL(以下、BLバーという)に接続されている。なお、“ソース/ドレイン”という場合には、ソース、ドレインのいずれの機能を有する部分を指す(以下の説明でも同様である)。

【0003】さらに、2つの負荷トランジスタ $Q_1$ 、 $Q_2$ の各ソースには電圧 $V_{cc}$ が印加され、2つの駆動トランジスタ $Q_3$ 、 $Q_4$ の各ソースには電圧 $V_{ss}$ が印加されている。さらに、2つの転送トランジスタ $Q_5$ 、 $Q_6$ の各ゲートにはワードラインWLが接続されている。このようなSRAMセルの平面的な構成は例えば次の文献に記載されている。

【0004】(1)THOMAS E. TANG et al., IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol., ED-34, No.3, March 1987, pp.682-688

この半導体装置は、図10に示すように、負荷トランジスタ $Q_1$ 、 $Q_2$ となる第一及び第二のp型トランジスタ $T_1$ 、 $T_2$ が略C字形の第一の活性領域101に形成され、また、駆動トランジスタ $Q_3$ 、 $Q_4$ と転送トランジスタ $Q_5$ 、 $Q_6$ となる第一から第四のn型トランジスタ $T_3 \sim T_6$ がL字形の第二、第三の活性領域102、103の4つの直線部分にそれぞれに形成されている。

【0005】第一のp型トランジスタ $T_1$ と第一のn型トランジスタ $T_3$ のそれぞれのゲート電極は、配線を兼ねた第一の導電パターン104により構成されている。第二のp型トランジスタ $T_2$ と第二のn型トランジスタ $T_4$ の各ゲート電極も、配線を兼ねる第二の導電パターン105により構成されている。また、第一のp型トランジ

スタ $T_1$ のドレイン領域は第三の導電パターン106を介して第一のn型トランジスタ $T_3$ のドレイン領域に電気的に接続され、さらに、第二のp型トランジスタ $T_2$ と第二のn型トランジスタ $T_4$ のそれらのドレイン領域同士は第四の導電パターン107を介して互いに接続されている。

【0006】これらにより2組のCMOSインバータが構成される。また、第一の導電パターン104の側部から延びる配線104Aは、第四の導電パターン107に接続され、さらに、第二の導電パターン105も同様に第三の導電パターン106に接続されている。これらによりCMOSインバータのクロスカップリングがなされている。第二及び第三の活性領域102, 103を通るワード線WLは、第三及び第四のn型トランジスタ $T_5$ ,  $T_6$ のゲート電極を兼ねている。

【0007】なお、第一の活性領域101にはゲート電極の両側にp型不純物拡散層が形成され、また、第二及び第三の活性領域102, 103のうちゲート電極の両側にはn型不純物拡散層が形成されている。さらに、第三、第四のn型トランジスタ $T_5$ ,  $T_6$ のうち第一、第二のn型トランジスタ $T_3$ ,  $T_4$ に接続しないソース/ドレイン領域には図示しないビット線が接続される。

【0008】ところで、CMOSインバータを構成するp型トランジスタ $T_1$ ,  $T_2$ の短チャネル効果を抑制するためにp型トランジスタ $T_1$ ,  $T_2$ に表面チャネル型を採用することが検討されている。この場合、pチャネルトランジスタのゲート電極はp型不純物ドーパントシリコンが一般に用いられる。従って、CMOSを構成するp型トランジスタとn型トランジスタを接続するためのシリコンよりなるゲート電極は、p型不純物導入領域とn型不純物導入領域を有するデュアルゲート構造となり、これらの領域の境界を金属やシリサイド等を介して接続する必要がある。

【0009】そのデュアルゲート構造は、フォトリソを使ってp型不純物とn型不純物を打ち分け、p型不純物領域とn型不純物領域の境界部分をシリサイドで接続させることが行われている。それらのデュアルゲート構造については、例えば次の文献に示されている。

(2)Wen-Hsing Chang et al., IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol.39, No.4, APRIL 1992, pp.959-966

(3)Biyan Davari et al., IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol.39, No.4, APRIL 1992, pp.967-975

#### 【0010】

【発明が解決しようとする課題】しかし、半導体装置をさらに高密度化するためには、そのシリサイドの面積をできるだけ小さくしてデュアルゲート構造を縮小化する必要があり、これについては未だ検討されていない。また、半導体装置の微細化にともなってビット線、電源配線を接続するためのコンタクトホールとの位置合わせ精度

を上げる必要がある。その位置合わせ余裕を確保するために、例えばMOSトランジスタのソース領域又はドレイン領域とその周辺に開口部パッド層を設けてその上に、ビット線や電源配線などを接続するセルフアラインコンタクトが(4)特開平2-2139号公報に記載されている。

【0011】しかし、セルフアラインコンタクトを図るために開口部パッド層を金属膜により形成する場合、デュアルゲート表面のシリサイド層を露出させた状態で開口部パッド層となる金属膜を成長することはゲートとソース、ドレインとの短絡をもたらすため許されないという問題がある。本発明はこのような問題に鑑みてなされたものであって、デュアルゲート構造のp型不純物領域とn型不純物領域を導通させるためのシリサイド形成領域を小さくし、しかも、そのシリサイドと短絡することなく電源配線やビット線の接続用の開口部パッド層を形成することができる半導体装置及びその製造方法を提供することを目的とする。

#### 【0012】

##### 【課題を解決するための手段】

(1)上記した課題は、図1～6に例示するように、第一導電型不純物を含む第一の半導体層2の表面にフィールド絶縁膜4を形成して第一の活性領域5を区画し、かつ、第二導電型不純物を含む第二の半導体層3の表面に該フィールド絶縁膜4を形成して第二の活性領域6を区画する工程と、前記第一の活性領域5にある前記第一の半導体層2と前記第二の活性領域6にある前記第二の半導体層3の表面のそれぞれにゲート絶縁膜7, 8を形成する工程と、前記ゲート絶縁膜7, 8及び前記フィールド絶縁膜4の上に不純物を含まない第三の半導体層9を形成する工程と、前記第三の半導体層9の上に第二導電型不純物を含む第一の絶縁膜10を形成する工程と、前記第一の絶縁膜10をパターンニングすることにより、前記第二の活性領域6の前記半導体層3の表面を露出するとともに前記第一の絶縁膜10の縁部が前記第一の活性領域5と前記第二の活性領域6の間に位置するパターンを形成する工程と、パターンニングされた前記第一の絶縁膜10と前記半導体層3の上に耐酸化性の第二の絶縁膜11を形成する工程と、前記第二の絶縁膜11を異方性エッチングして前記第一の絶縁膜10の側方に選択的に残存させて耐酸化性サイドウォール12, 12aを形成する工程と、前記第一の絶縁膜10及び前記耐酸化性サイドウォール12, 12aをマスクに使用して、前記第二の活性領域6の前記第三の半導体層9に第一導電型不純物を導入する工程と、前記第一の絶縁膜10内の第二導電型不純物をその下の前記第三の半導体層9に拡散し、かつ前記第三の半導体層9内の第二導電型不純物を活性化する工程と、前記第三の半導体層9の表面を熱酸化して絶縁膜15を形成する工程と、前記耐酸化性サイドウォール12, 12aを除去して前記第三の半導体層

9の表面の一部を露出する工程と、前記第三の半導体層9とその上の層をパターンニングして第一の活性領域5の上から第二活性領域6の上に至る範囲にMOSトランジスタのゲート電極となるゲート用導電性パターン16、17を形成する工程と、前記半導体層の表面にシリサイド層26a、26bを形成する工程とを有することを特徴とする半導体装置の製造方法により解決する。

【0013】(2) 前記ゲート用導電性パターン16、17をマスクにして前記第一の活性領域5にある前記第一の半導体層2に第二導電型不純物をイオン注入、拡散することにより、第一及び第二のMOSトランジスタ $Q_1$ 、 $Q_2$ のソース領域 $S_1$ 、 $S_2$ 及び第二導電型ドレイン領域 $D_{12}$ を形成する工程と、前記ゲート用導電性パターン16、17をマスクにして前記第二の活性領域6にある前記第二の半導体層3に第一導電型不純物をイオン注入、拡散することにより、第三及び第四のMOSトランジスタ $Q_3$ 、 $Q_4$ のソース領域 $S_3$ 、 $S_4$ 及びドレイン領域 $D_{34}$ を形成する工程とを有することを特徴とする(1)の半導体装置の製造方法により解決する。

【0014】(3) 前記ゲート用導電性パターン16、17の側壁には絶縁性サイドウォール21が形成され、前記第一導電型不純物及び第二導電型不純物は、該絶縁性サイドウォール21の形成前と形成後に2度イオン注入されることにより前記ソース領域 $S_1$ 、 $S_2$ 、 $S_3$ 、 $S_4$ 及び前記ドレイン領域 $D_{12}$ 、 $D_{34}$ はLDD構造を有していることを特徴とする(2)の半導体装置の製造方法により解決する。

【0015】(4) 前記耐酸化性サイドウォール12aを形成する前に第二の絶縁膜11の上に第三の絶縁膜40を形成し、該第三の絶縁膜40を異方性エッチングすることにより、前記第二の絶縁膜11のうち前記第一の絶縁膜10の縁部に沿った段部の側面に該第三の絶縁膜40を選択的に残存させる工程と、前記第三の絶縁膜40のパターンをマスクにして前記第二の絶縁膜11を異方性エッチングすることにより、前記第一の絶縁膜10の縁部から前記第三の絶縁膜40に至る領域に前記第二の絶縁膜11からなる耐酸化性サイドウォール12aを形成する工程とを有することを特徴とする(1)の半導体装置の製造方法により解決する。

【0016】(5) 前記ゲート用導電パターン16、17は間隔をおいて2つ形成され、前記ゲート用導電パターン16、17及び前記第一及び第二の活性領域5、6を前記シリサイド層26a、26bの材料と異なる導電膜24によって覆う工程と、一方の前記ゲート用導電膜パターン16上のシリサイド層26aから他方の前記ゲート用導電膜パターン17上の絶縁膜15を跨いで他方の前記ゲート用導電膜パターン27の一方側の前記第一及び第二の活性領域5、6まで引き出される第一の配線27と、他方の前記ゲート用導電膜パターン17の上のシリサイド層26bから一方の前記ゲート用導電膜パ

ターン16の上の絶縁膜15を跨いで一方の前記ゲート用導電膜パターン16の側方の前記第一及び第二の活性領域5、6まで引き出される第二の配線28を形成する工程を有することを特徴とする(1)の半導体装置の製造方法により解決する。

【0017】(6) 前記導電膜24をパターンニングする際に、前記第一又は第二の活性領域5、6のうち上部配線36が接続される領域とその周辺に前記導電膜よりなるコンタクトパッド32を形成することを特徴とする(5)の半導体装置の製造方法により解決する。

(7) 前記第一の活性領域5において、2つの前記ゲート用導電パターン16、17の両側の第一の半導体層2の表層に形成されるソース領域 $S_1$ 、 $S_2$ 、ドレイン領域 $D_{12}$ と前記ゲート用導電パターン16、17とによって第一及び第二のMOSトランジスタ $Q_1$ 、 $Q_2$ が構成され、前記第二の活性領域6において、2つの前記ゲート用導電パターン16、17の両側の半導体層3の表層に形成されるソース領域 $S_3$ 、 $S_4$ 、ドレイン領域 $D_{34}$ と前記ゲート用導電パターン16、17とによって第一導電型のMOSトランジスタ $Q_3$ 、 $Q_4$ が形成され、前記第一及び第二の配線27、28により前記第一～第四のMOSトランジスタ $Q_1$ 、 $Q_2$ 、 $Q_3$ 、 $Q_4$ によりSRAMセルのフリップフロップ回路が形成されることを特徴とする(5)の半導体装置の製造方法により達成する。

【0018】(8) 前記第三の半導体層9は、多結晶シリコン又は非晶質シリコンのいずれかであることを特徴とする(1)の半導体装置の製造方法により達成する。

(9) 前記シリサイド層26a、26bは、シリサイドにより形成されたチタンシリコン、コバルトシリコン、ニッケルシリコンであること特徴とする(1)の半導体装置の製造方法により達成する。

【0019】(10) 前記シリサイド層26a、26bは、高融点金属との合金であること特徴とする(1)の半導体装置の製造方法により解決する。

(11) 第一導電型不純物を含む第一の半導体層2、3の表面にフィールド絶縁膜4を形成して第一の活性領域5と第二の活性領域6を区画する工程と、前記第一及び第二の活性領域5、6と前記フィールド絶縁膜4の上にシリコン層9を形成する工程と、前記シリコン層9に不純物を導入する工程と、前記シリコン層9の表面に第一の絶縁膜15を形成し、前記第一の活性領域5と前記第二の活性領域6の間の領域で該第一の絶縁膜15の一部に開口部23を形成する工程と、前記シリコン層9をパターンニングすることにより、前記開口部23を有し且つ前記第一の活性領域5と前記第二の活性領域6に形成される2つのMOSトランジスタ $Q_1$ 、 $Q_3$ のゲート電極用パターン16を一体的に形成する工程と、前記開口部23内の前記シリコン層9の表面と前記ゲート電極用パターン16の両側方の前記第一及び第二の活性領域5、

6の表面とシリサイド層26a, 26c, 26d, 26g, 26fを形成する工程と、前記シリサイド層26a, 26c, 26d, 26g, 26fと異なる材料からなる導電膜24を形成する工程と、前記導電膜24をパターンニングすることによって、前記ゲート電極用パターン16の上のシリサイド層26aに接続される第一の配線28と、前記第一の活性領域5のシリサイド層26dに接続される第二の配線27と、前記第二の活性領域6のシリサイド層26gに接続される第三の配線27を形成し、同時に、前記第一及び第二の活性領域5, 6の上に形成されるコンタクトホール35の形成領域及びその周辺にコンタクトパッド層32を形成する工程とを有することを特徴とする半導体装置の製造方法により達成する。

【0020】(12) 前記シリサイド層26a, 26c, 26d, 26g, 26fは、シリサイドによって形成されることを特徴とする(10)の半導体装置の製造方法により解決する。

(13) 前記導電膜24はタングステン、窒化チタン、チタンタングステン、ポリサイド、シリサイドにより構成されていることを特徴とする(5)又は(10)の半導体装置の製造方法により解決する。

【0021】(14) 前記ゲート電極用パターン16は、第一導電型不純物含有領域13と第二導電型不純物含有領域14を有し、前記ゲート電極用パターン16上のシリサイド層26aは該第一導電型不純物含有領域13と該第二導電型不純物含有領域14を短絡していることを特徴とする(10)の半導体装置の製造方法により解決する。

【0022】(15) 半導体層2, 3のうち第一の活性領域5と第二の活性領域6を囲むフィールド酸化膜4と、前記第一の活性領域5と前記第二の活性領域6の上に形成され、かつ一体化されたゲート電極用パターン16と、前記ゲート電極用パターン16の上の一部に形成されたシリサイド層26aと、前記ゲート電極用パターン16の上に形成されたシリサイド層26aから前記第一及び第二の活性領域5, 6に延在する配線28と、前記配線28を構成する導電膜24から形成され、かつ、前記第一の活性領域5、前記第二の活性領域6のうち前記導電膜24よりも上層に形成される配線との接続部分とその周辺に形成されたコンタクトパッド32とを有することを特徴とする半導体装置により解決する。

【0023】(16) 半導体層2, 3のうち活性領域5, 6を囲むフィールド酸化膜4と、前記活性領域5, 6にある前記半導体層2, 3の表面に形成されたゲート絶縁膜7, 8と、前記ゲート絶縁膜7, 8の上に形成されて前記活性領域5, 6内から外部に延びるゲート電極パターン16, 17と、前記ゲート電極パターン16, 17の上の一部に形成されたシリサイド層26a, 26bと、前記ゲート電極パターン16, 17上のシリサイ

ド層26a, 26bに接続される配線27, 28と、前記配線27, 28を構成する導電膜24から形成され、かつ、前記活性領域5, 6のコンタクトホール形成領域及びその周辺に形成されたコンタクトパッド32とを有することを特徴とする半導体装置により解決する。

【0024】(17) 半導体層2, 3のうち第一の活性領域5と第二の活性領域6を囲むフィールド酸化膜4と、前記第一の活性領域5と前記第二の活性領域6の前記半導体層2, 3の表面のそれぞれ形成されたゲート絶縁膜7, 8と、前記ゲート絶縁膜7, 8及び前記フィールド酸化膜4の上に並列に形成された第一のゲート電極パターン16及び第二のゲート電極パターン17と、前記第一及び第二のゲート電極パターン16, 17のそれぞれの表面を覆う絶縁膜15の開開口部23内に形成されたシリサイド層26a, 26bと、前記第一のゲート電極パターン16の上に形成されたシリサイド層26aから前記第二のゲート電極パターン17を跨いで前記第一の活性領域5の不純物拡散層S<sub>1</sub>, S<sub>2</sub>に接続される第一の配線層28と、前記第二のゲート電極パターン17の上に形成されたシリサイド層26bから前記第一のゲート電極パターン16を跨いで前記第二の活性領域6の不純物拡散層S<sub>3</sub>, S<sub>4</sub>に接続される第二の配線層6と、前記第一及び第二の配線27, 28を構成する導電膜24から形成され、かつ、前記活性領域5, 6のコンタクトホール形成領域及びその周辺に形成されたコンタクトパッド32とを有することを特徴とする半導体装置により解決する。

【0025】または、前記シリサイド層26a, 26bは、シリサイドにより形成されることを特徴とする(15)又は(16)の半導体装置の製造方法により解決する。

(19) 前記導電膜24は、タングステン、窒化チタン、チタンタングステン、ポリサイド、シリサイドにより構成されていることを特徴とする(5)又は(15)又は(16)記載の半導体装置の製造方法により解決する。

【0026】

【作 用】本発明によれば、自己整合的に形成された耐酸化性サイドウォールによってシリコンよりなる半導体層のシリサイド形成領域を覆い、この耐酸化性サイドウォールをマスクの一部に使用してp型及びn型の不純物を打ち分け、さらに半導体層をパターンニングしてデュアルゲートパターンを形成した後に、耐酸化性サイドウォールをマスクに使用してデュアルゲートパターンの表面を酸化し、ついで耐酸化性サイドウォールを選択的に除去することにより露出した半導体層の表面をシリサイド化するようにしている。

【0027】したがって、デュアルゲートにおいて、シリサイド化する領域の幅は極めて狭くなるので、デュアルゲートの縮小化が可能になり、SRAMセルの微細化

がさらに進むことになる。しかも、半導体層に不純物イオンを注入する際に使用するマスクの一部や、半導体層の表面の一部を熱酸化する際に使用する耐酸化性マスクとして、自己整合的に形成される耐酸化性サイドウォールを使用しているため、フォトリソグラフィによりマスクを形成する場合に比べてスループットが向上する。

【0028】また、別の本発明によれば、活性領域のうちコンタクトホールを形成しようとする領域に配置されるコンタクトパッドは、活性領域に形成されるMOSトランジスタのゲート電極パターンの表面に現れるシリサイド層に接続される配線を構成する導電膜から形成している。その時、コンタクトパッドとシリサイド層は所定の距離だけ離隔されているので、両者が短絡する危険が回避されており、しかも、コンタクトパッドを形成するために新たな工程を加える必要がない。

【0029】

【実施例】

(第1実施例) 以下に、本発明の実施例に係るCMOSインバータを備えたSRAMセルの製造工程を説明する。図1、図2は、SRAMセルの製造工程を示す平面図、図3～図5は、その製造工程を図1(a)のA-A線断面から見た製造工程を示す断面図、図6は、その製造工程を図1(a)のB-B線断面から見た製造工程を示す断面図である。

【0030】まず、MOSトランジスタが形成される活性領域を区画するまでの工程を説明する。図1(a)に示すように、シリコンよりなる半導体基板1には、Nウェル2とPウェル3が形成されている。そのNウェル2とPウェル3の表面には、 $\text{SiO}_2$ よりなるフィールド絶縁膜4が選択酸化法により形成されている。Nウェル2においては、そのフィールド絶縁膜4により平面が略T字形の第一の活性領域5が区画され、また、Pウェル3においては、フィールド絶縁膜4により平面が略U字形の第二の活性領域6が区画されている。第一及び第二の活性領域5、6は、U字の底部とT字の頭部が間隔をおいて向かい合うような位置関係となっている。

【0031】なお、以下の工程によって、第一の活性領域5には、図9に示すSRAMの負荷トランジスタ $Q_1$ 、 $Q_2$ となるp型MOSトランジスタが2つ形成され、第二の活性領域6には駆動トランジスタ $Q_3$ 、 $Q_4$ 、転送トランジスタ $Q_5$ 、 $Q_6$ となるn型MOSトランジスタが4つ形成されることになる。次に、CMOSインバータのデュアルゲート電極となる導電膜の形成工程に入る。図3(a)に示すように、第一及び第二の活性領域5、6から露出するNウェル2及びPウェル3の表面をフッ酸等により清浄化した後に、その表面を熱酸化して $\text{SiO}_2$ からなるゲート絶縁膜7、8を50～100Åの厚さに形成する。

【0032】続いて、フィールド絶縁膜4と第一及び第

二の活性領域5、6の上にCVD法により非晶質又は多結晶のシリコン層(半導体層)9を1500～2500Åの厚さに成長し、さらにBSG(boro-silicate glass)膜10を1000～4000Åの厚さに成長する。そのBSG膜10内にはp型不純物としてホウ素が $1 \times 10^{20} \text{ atoms/cm}^3$ の濃度で含まれている。

【0033】この後に、図3(b)に示すように、フォトリソグラフィ法によりBSG膜10をパターニングし、Pウェル3が形成されている領域からBSG膜10を除去する。パターニングされたBSG膜10の縁部は、Nウェル2とPウェル3の境界線Lを横切るような階段状の平面形状にする。続いて、図3(c)に示すように、CVD法によってBSG膜10とシリコン層9の上にシリコン窒化膜11を1000～2000Åの厚さに成長し、ついで、反応性イオンエッチング(RIE)法によりシリコン窒化膜11をほぼ垂直方向にエッチングする。そのエッチャントは例えばフロン系ガスである。

【0034】これにより、Nウェル2とPウェル3の境界線Lを横切るBSG膜10の縁の側面にシリコン窒化膜11を選択的に残存させる。このシリコン窒化膜10を耐酸化性及び絶縁性のサイドウォール12とする。これに伴い、そのBSG膜10の側方のサイドウォール12の平面形状は図1(b)に示すような階段状になる。続いて、BSG膜10及びサイドウォール12をマスクに使用して、Pウェル3側に存在するシリコン層9の上層部に砒素やリンのようなn型不純物をイオン注入する。さらに、シリコン層9に注入されたn型不純物を活性化し、かつBSG膜10内のホウ素をその下のシリコン層9に拡散するために、BSG膜10及びシリコン層9を900℃程度の温度で加熱する。これにより、BSG膜10の下のシリコン層9は不純物濃度 $1 \times 10^{20} \text{ atoms/cm}^3$ のp型不純物領域13となり、イオン注入された領域のシリコン層9は不純物濃度 $1 \times 10^{20} \text{ atoms/cm}^3$ のn型不純物領域14となる。この場合、シリコン層9のうちサイドウォール12に覆われている領域では、p型及びn型の不純物が拡散してpn接合が形成される。

【0035】続いて、図4(a)に示すように、緩衝フッ酸によってBSG膜10を選択的に除去した後に、サイドウォール12を耐酸化性マスクに使用してシリコン層9の表面を熱酸化して膜厚500～1000Åの $\text{SiO}_2$ 膜(絶縁膜)15を形成する。この場合、サイドウォール12の下には $\text{SiO}_2$ 膜15が形成されないため、ここには、 $\text{SiO}_2$ 膜15の開口部23が同時に形成されることになる。

【0036】なお、この熱酸化の時に、前記したBSG膜10からのシリコン層9へのp型不純物の拡散とシリコン層9内のn型不純物の活性化を同時に行ってもよい。この場合には、BSG膜10は除去せずにそのままシリコン層9の上に残すことになる。次に、MOSトラ

10

20

30

40

50

ンジスタのデュアルゲートのパターンニング工程に入る。

【0037】図1(c)及び図4(b)に示すように、フォトリソグラフィ法によりシリコン層9とその上のSiO<sub>2</sub>膜15及びサイドウォール12をパターンニングする。これにより、第一の活性領域5と第二の活性領域6を通る2つのストライプ状のデュアルゲートパターン16、17を分離して形成する。これらのストライプパターン16、17は、第一の活性領域5のT字の横線に対応する領域を直行して通過するとともに、第二の活性領域6のU字の下線に対応する領域を跨ぐように配置されている。

【0038】このようなデュアルゲートパターン16、17を形成する際には、同時に、第二の活性領域6のうちU字の2つの縦線に対応する領域を通り、しかも、デュアルゲートパターン16、17と直交する方向に延びるワードラインパターン18を形成する。デュアルゲートパターン16、17のうち第一の活性領域5に重なる部分は、図9に示す負荷トランジスタQ<sub>1</sub>、Q<sub>2</sub>のゲート電極として機能し、また、第二の活性領域6に重なる部分は、駆動トランジスタQ<sub>3</sub>、Q<sub>4</sub>のゲート電極として機能する。さらに、ワードラインパターン18のうち第二の活性領域6に重なる部分は、転送トランジスタQ<sub>5</sub>、Q<sub>6</sub>のゲート電極として機能する。

【0039】なお、図1(c)において、2つのワードラインパターン18、19が形成されている。これは、第二の活性領域6と同じ機能を有する別の活性領域が第二の活性領域6に連続して形成されているからであり、そこには、別のSRAMセルのワードライン19が形成されている。次に、MOSトランジスタのLDD構造のソース領域、ドレイン領域を形成する工程に入る。

【0040】図4(b)に示すように、ホウ素のようなp型不純物を第一の活性領域5にイオン注入してソース領域及びドレイン領域の浅いp型不純物拡散層20pを形成する。その不純物濃度は $1 \times 10^{18} \sim 1 \times 10^{19}$  atoms/cm<sup>3</sup>である。さらに、砒素、磷のようなn型不純物を第二の活性領域6にイオン注入して浅いn型不純物拡散層20nを形成する。その不純物濃度は $1 \times 10^{18} \sim 1 \times 10^{19}$  atoms/cm<sup>3</sup>である。これらのp型及びn型の不純物をイオン注入する際には、フィールド絶縁膜4とデュアルゲートパターン16、17、ワードラインパターン18、19をマスクとして使用する。

【0041】続いて、全体にSiO<sub>2</sub>のような絶縁膜をCVD法により1000Åの厚さに形成した後に、図2(a)に示すように、この絶縁膜をRIE法により略垂直エッチングしてデュアルゲートパターン16、17及びワードラインパターン18、19の側面に絶縁性サイドウォール21を形成する。これにより、デュアルゲートパターン16、17及びワードラインパターン18、19のそれぞれの上面と側面は絶縁膜に覆われた状態になる。

【0042】そして、デュアルゲートパターン16、1

7、ワードラインパターン18、19、フィールド絶縁膜4及びサイドウォール21をマスクに使用して、第一の活性領域5にはホウ素のようなp型不純物をイオン注入し、また、第二の活性領域6には磷のようなn型不純物をイオン注入して、それらの領域に図4(c)に示すようなp型不純物拡散層22pとn型不純物拡散層22nを深く形成する。この場合、p型不純物拡散層22pの不純物濃度は $1 \times 10^{20}$  atoms/cm<sup>3</sup>、n型不純物拡散層22nの不純物濃度は $1 \times 10^{20}$  atoms/cm<sup>3</sup>である。

【0043】なお、p型とn型の不純物を打ち分ける場合には、図示しないフォトレジストのパターンをマスクとして使用する。以上のn型不純物拡散層20n、22nとp型不純物拡散層20p、22pによりLDD構造のソース領域、ドレイン領域が構成され、MOSトランジスタの形成工程が終わる。これにより、負荷トランジスタQ<sub>1</sub>、Q<sub>2</sub>、駆動トランジスタQ<sub>3</sub>、Q<sub>4</sub>及び転送トランジスタQ<sub>5</sub>、Q<sub>6</sub>が第一、第二の活性領域5、6に存在する(図2(a))。

【0044】次に、デュアルゲートパターン16、17上のシリコン窒化膜よりなるサイドウォール12を熱燐酸によって除去し、これにより、図2(b)に示すように、デュアルゲートパターン16、17のシリコン層9を露出するための開口部23を開く。尚、シリコン窒化膜よりなるサイドウォール12の除去は、シリコン層9の表面を酸化してSiO<sub>2</sub>膜15を形成した直後に行ってもよい。

【0045】次に、サリサイド技術によってシリコン層の表面にシリサイド層を形成する工程に入る。図5(a)、図6(a)に示すように、各トランジスタを覆うようにCo、Ti、Niその他の金属膜25をスパッタにより形成した後に、その金属膜25を600~700℃で加熱する。これにより、図2(b)、図5(a)、図6(a)に示すように、デュアルゲートパターン16、17を構成するシリコン層9のうちの開口部23から露出した部分の表面と、デュアルゲートパターン16、17及びワードラインパターン18、19に覆われない第一及び第二の活性領域(ソース/ドレイン領域)5、6にあるシリコン層の表面に、それぞれ金属シリサイド層26a~26jを形成する。金属膜25としてTi、Co、Niがあり、そのシリサイドはTiSi、CoSi、NiSiである。これに続いて、図5(b)、図6(b)に示すように、H<sub>2</sub>O<sub>2</sub>+H<sub>2</sub>SO<sub>4</sub>混合液によるウエットエッチング法によってシリコンと反応しなかった金属膜25を選択的に除去する。必要なら、その後に第2の熱処理を加えてもよい。

【0046】これにより、シリサイド26a、26bを介してデュアルゲートパターン16、17内のp型不純物領域13とn型不純物領域14が接続され、デュアルゲートが完成する。次に、MOSトランジスタ同士を接続する近接配線の形成工程と、電源配線やビット配線等

に接続されるコンタクトパッドの形成工程に移る。

【0047】PVD法、CVD法等により、MOSトランジスタを覆うTiW、TiN、W、ポリサイド、シリサイド等の導電膜24を形成した後に、この導電膜24をフォトリソグラフィによりパターンニングする。これにより、図2(c)に示すように、負荷トランジスタ $Q_1$  ( $Q_2$ )のドレイン領域 $D_1$  ( $D_2$ )と駆動トランジスタ $Q_3$  ( $Q_4$ )のドレイン領域 $D_3$  ( $D_4$ )を接続して2組のCMOSインバータを構成するための配線27 (28)を形成するとともに、それらの配線27 (28)を自己のMOSインバータのデュアルゲートパターン16 (17)を越えて隣のCMOSインバータのデュアルゲートパターン17 (16)のシリサイド層26b (26a)まで延ばしてクロスカップリングを行う。同時に、2つの負荷トランジスタ $Q_1$ 、 $Q_2$ の共通なソース領域 $S_{12}$ 及びその周囲と、2つの駆動トランジスタ $Q_3$ 、 $Q_4$ の共通なソース領域 $S_{34}$ 及びその周囲と、ビット線BL、BLバーが接続される転送トランジスタ $Q_5$ 、 $Q_6$ のソース/ドレイン領域 $SD_5$ 、 $SD_6$ 及びその周囲とにそれぞれコンタクトパッド30~33を形成する(図6(c)参照)。

【0048】これらのコンタクトパッド30~33の一部はデュアルゲートパターン16、17やワードラインパターン18、19の一部に重なるが、それらは直に接触することはない。なぜなら、デュアルゲートパターン16、17やワードラインパターン18、19には絶縁膜15、21が形成されているからである。以上のようにSRAMセルを構成する6個のMOSトランジスタの形成とそれらを接続する配線の形成を終えた後に、ビット線、電源配線の接続工程に移る。

【0049】図6(d)に示すように、MOSトランジスタをCVD膜よりなる層間絶縁膜34aで覆った後に、フォトリソグラフィにより第一の層間絶縁膜34aをパターンニングしてコンタクトホール(不図示)を形成した後に、層間絶縁膜34aの上にタングステンやアルミニウムなどの一層目金属膜をスパッタにより形成し、これをパターンニングして電源配線を形成する。

【0050】次に、第二の層間絶縁膜34bにより電源配線を覆った後に、第一及び第二の層間絶縁膜34a、34bをパターンニングして2つの転送トランジスタ $Q_5$ 、 $Q_6$ のソース/ドレイン領域 $SD_5$ 、 $SD_6$ のうちビット線BL、BLバーを接続しようとする領域にコンタクトホール35を形成する。この場合、コンタクトホール35を形成しようとする領域の下にはコンタクトパッド32が形成され、そのコンタクトパッド32の一部はソース/ドレイン領域 $SD_5$ 、 $SD_6$ に接続されているので、コンタクトホール形成の際の露光マスクなどの位置合わせの余裕が確保されている。

【0051】ピアホール及びコンタクトホール35を形成した後に、第二の層間絶縁膜34bの上とコンタクト

ホール35内に2層目金属を形成し、これをパーニングしてビット線38を形成し、ヴィヤホール及びコンタクトホール35を通して転送トランジスタのソース/ドレイン領域 $SD_5$ 、 $SD_6$ に接続する。なお、2つの駆動トランジスタ $Q_3$ 、 $Q_4$ の共通なソース領域 $S_{34}$ の上にはコンタクトホール36を介して $V_{SS}$ 電源配線を、同様にして、2つの負荷トランジスタ $Q_5$ 、 $Q_6$ の共通なソース領域 $S_{12}$ の上にはコンタクトホール37を介して $V_{CC}$ 電源配線を前記1層目金属膜により形成する(図2(c))。

【0052】それらのコンタクトホール36、37の下には、上記したようにコンタクトパッド30、31が形成されているので、コンタクトホール36、37を形成する際の位置合わせに余裕ができる。ところで、上記したように、デュアルゲートパターン16、17の上面のシリサイド層26a、26bは、自己整合的に形成された幅の狭いサイドウォール12が除去された領域に形成されているので、そのシリサイド層26a、26bの面積は $0.2 \times 0.3 \mu m$ 程度と極めて狭くなる。この結果、シリサイド層26a、26bの面積が小さくなった分だけ、第一の活性領域5と第二の活性領域6の間の距離を小さくしても素子形成に支障がなくなる。これは、SRAMセルの微細化がさらに進むことを意味する。

【0053】また、デュアルゲートパターン16、17のシリサイド層26a、26bの上に形成する耐酸化性のパターンをフォトリソグラフィにより形成することも考えられる。しかし、フォトリソグラフィによれば、レジストパターンの形成工程が加わることになるので、フォトマスクなどの位置合わせ余裕を確保する必要が生じパターンが大きくなるという不都合はある。但し、デュアルゲートにこだわる必要がない場合、つまりシングルゲートの場合には有効な方法となる。

【0054】上記した説明では、1つのSRAMセルの製造工程を説明したが、半導体記憶装置においては、多数のSRAMセルが基板上に形成される。なお、上記した説明では、BSG膜10をパターンニングして第二の活性領域5のシリコン層9を露出するようにしたが、BSG膜10の代わりにPSG膜(不図示)を形成し、このPSG膜をパターンニングして第一の活性領域5側のシリコン層9を露出するようにしてもよい。この場合、そのPSG膜からシリコン層9にリンを拡散するとともに、PSG膜に覆われないシリコン層9にはB、BF<sub>2</sub>のイオンを注入、拡散する。この場合、サイドウォール12は、PSG膜の側壁に形成する。

(第2実施例)ところで、デュアルゲートパターン16、17のp型不純物領域13とn型不純物領域14の境界にシリサイド層26a、26bを形成する工程においては、その境界でのp型不純物とn型不純物の相互拡散が大きく、上記したサイドウォール12の面積だけでは不十分なこともある。そのような場合には、次のよう

10

20

30

40

50

な工程を採用する。

【0055】まず、図3(b)に示す状態となった後に、図7(a)に示すようにBSG膜10と半導体層9の上にシリコン窒化膜11を積層する。さらに、シリコン窒化膜11とエッチング選択比を異ならせることができる膜、例えばPSG膜40をシリコン窒化膜11の上に形成する。このPSG膜40の膜厚は、p型不純物とn型不純物のそれぞれの拡散長の2倍程度、例えば5000Åの厚さにする。PSG膜40はストレスが小さいので、膜厚を厚くしても悪影響がない。

【0056】次に、図7(b)に示すように、PSG膜40をRIE法により略垂直方向に異方性エッチングし、これにより、BSG膜10の縁部の周囲に生じるシリコン窒化膜11の段差の側面にのみPSG膜40を残存させる。そして、パターニングされたPSG膜40をマスクにしてシリコン窒化膜11をエッチングすると、図7(c)に示すように、BSG膜10の側方にシリコン窒化膜11よりなるサイドウォール12aが形成される。

【0057】この後に、第1実施例で説明した工程に従って、シリコン層9に不純物を導入してp型不純物領域13とn型不純物領域14を形成する。ついで、BSG膜10を除去してから、図7(c)に示すように、サイドウォール12aに覆われないシリコン層9の表面を酸化してSiO<sub>2</sub>膜15を形成する。この後に、シリコン層9をパターニングしてデュアルゲートパターン16、17を形成し、続いてサイドウォール12aを除去し、あるいは先にサイドウォール12aを除去した後、デュアルゲートパターン16、17を形成し、露出したシリコン層9の表面に第1実施例の工程に従ってシリサイド層26aを形成する(図7(d))。

【0058】ところで、上記した耐酸化性のサイドウォール12aは、第1実施例のサイドウォール12よりも第二の活性領域6の方に広がっている。これにより、デュアルゲートパターン16、17の上のシリサイド層26a、26bが広がる。この結果、p型不純物とn型不純物の拡散距離が大きくても、シリサイド層26a、26bは、その拡張によりp型不純物領域13とn型不純物領域14の高濃度部分に接続されるので、p型不純物領域13とn型不純物領域14を確実に電氣的に接続する。

(第3実施例) 上記した実施例では、MOSトランジスタのソース領域又はドレイン領域にコンタクトパッド30~33を形成するようにしているが、このようなコンタクトパッド30~33を形成しない場合には、次のように工程を行う。

【0059】まず、負荷トランジスタQ<sub>1</sub>、Q<sub>2</sub>と駆動トランジスタQ<sub>3</sub>、Q<sub>4</sub>の接続を終えた後に、図8(a)に示すように、全てのMOSトランジスタを酸化アルミニウム膜(Al<sub>2</sub>O<sub>3</sub>)41で覆い、続いてSOGよりなる層間絶縁膜34を形成する。次に、図8(b)に示すように

層間絶縁膜34にコンタクトホール35を形成する。その層間絶縁膜34は酸化アルミニウムに対してエッチング選択性があるので、コンタクトホール35を形成する際に、ワードラインパターン18、19やデュアルゲートパターン16、17を覆う絶縁膜15、21が除去されることはない。そして、コンタクトホール35から露出した酸化アルミニウム膜41をスパッタエッチによって選択的に除去すればソース/ドレイン領域SD<sub>s</sub>が現れる。また、酸化アルミニウムに代えてシリコン窒化膜を使用しても同様の効果が期待できる。

(その他の実施例) 上記したコンタクトパッド30~33は、デュアルゲートパターンに接続される配線と同時にパターニングされればよく、デュアルゲートパターンの形成工程に左右されるものではなく、従来の工程により形成されたデュアルゲートパターンに接続される配線と同時にパターニングされてもよい。従来の工程では、前記した開口部23は、通常のフォトリソグラフィ法により形成される。

【0060】また、上記した実施例のデュアルゲートの形成工程は、SRAMセルのCMOSだけではなく、それ以外の半導体装置におけるCMOSのゲートにも適用できる。

#### 【0061】

【発明の効果】本発明によれば、自己整合的に形成された耐酸化性サイドウォールによってシリコンよりなる半導体層のシリサイド形成領域を覆い、この耐酸化性サイドウォールをマスクの一部に使用してp型及びn型の不純物を打ち分け、さらに半導体層をパターニングしてデュアルゲートパターンを形成した後、耐酸化性サイドウォールをマスクに使用してデュアルゲートパターンの表面を酸化し、ついで耐酸化性サイドウォールを選択的に除去することにより露出した半導体層の表面をシリサイド化するようにしている。

【0062】したがって、デュアルゲートにおいて、シリサイド化する領域の幅は極めて狭くなるので、デュアルゲートの縮小化が可能になり、SRAMセルをさらに微細化できる。しかも、半導体層に不純物イオンを注入する際に使用するマスクの一部や、半導体層の表面の一部を熱酸化する際に使用する耐酸化性マスクとして、自己整合的に形成される耐酸化性サイドウォールを使用しているので、フォトリソグラフィによりマスクを形成する場合に比べてスループットを向上できる。

【0063】また、別の本発明によれば、活性領域のうちコンタクトホールを形成しようとする領域に配置されるコンタクトパッドは、活性領域に形成されるMOSトランジスタのゲート電極パターンの表面に現れるシリサイド層に接続される配線を構成する導電膜から形成している。このため、コンタクトパッドをパターニングする際にシリサイド層はコンタクトパッドと離間されて配置されているため、両者が短絡することなく、しかも、

コンタクトパッドを形成するための新たな工程を加える必要をなくし、コンタクト窓の位置決めをソース/ドレイン拡散層にセルフアライン化することが可能となる。

【図面の簡単な説明】

【図1】図1は、本発明の第1実施例であって、デュアルゲートを備えたSRAMセルの形成工程を示す平面図（その1）である。

【図2】図2は、本発明の第1実施例であって、デュアルゲートを備えたSRAMセルの形成工程を示す平面図（その2）である。

【図3】図3は、本発明の第1実施例のSRAMセルの形成工程を示す図1(a)のA-A線から見た断面図（その1）である。

【図4】図4は、本発明の第1実施例のSRAMセルの形成工程を示す図1(a)のA-A線から見た断面図（その2）である。

【図5】図5は、本発明の第1実施例のSRAMセルの形成工程を示す図1(a)のA-A線から見た断面図（その3）である。

【図6】図6は、本発明の第1実施例のSRAMセルの形成工程を示す図1(a)のB-B線から見た断面図である。

【図7】図7は、本発明の第2実施例であって、デュアルゲートを備えたSRAMセルの形成工程を示す断面図である。

【図8】図8は、本発明の第3実施例であって、デュアルゲートを備えたSRAMセルの形成工程を示す断面図である。

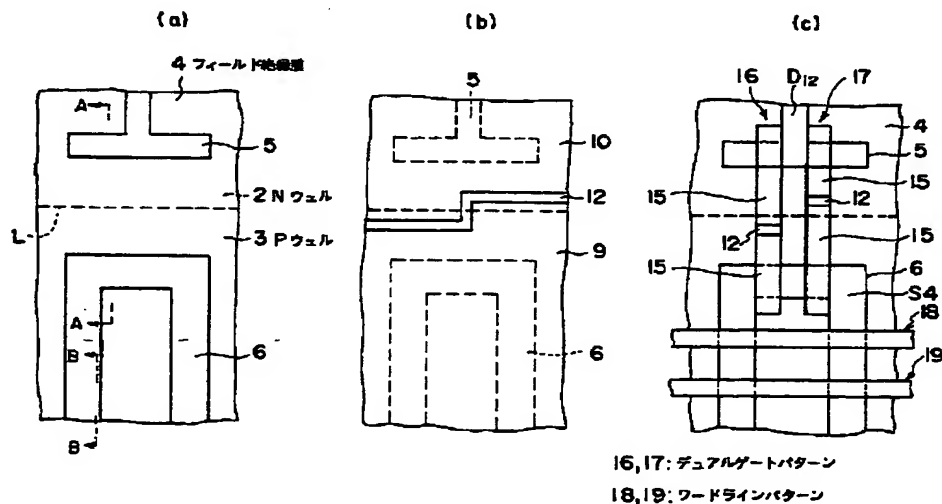
【図9】6個のトランジスタを使用する一般的なSRAMセルの回路図である。

【図10】先行技術を示すSRAMセルの平面図である。

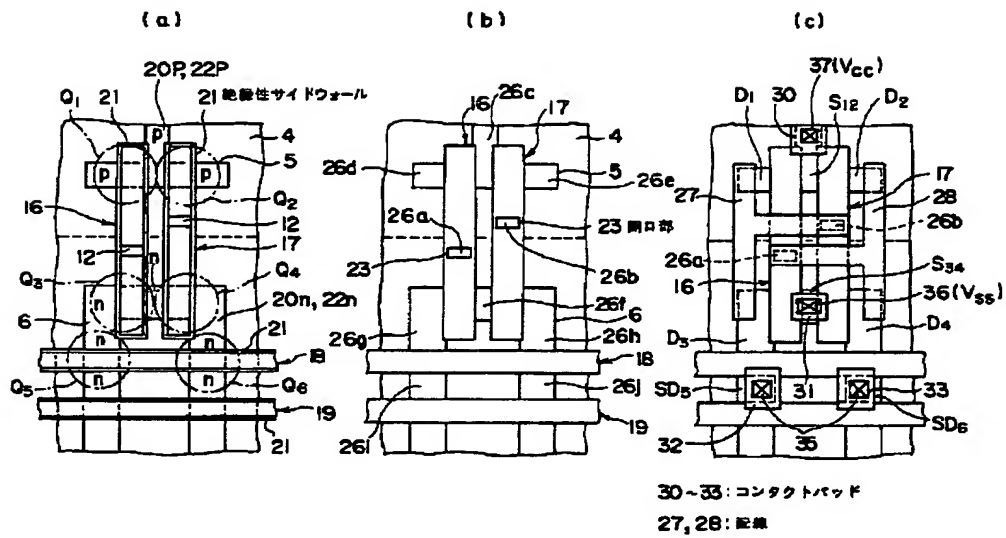
【符号の説明】

- |       |                         |
|-------|-------------------------|
| 1     | シリコン基板（半導体基板）           |
| 2     | Nウェル                    |
| 3     | Pウェル                    |
| 4     | フィールド絶縁膜                |
| 5     | 第一の活性領域                 |
| 6     | 第二の活性領域                 |
| 10    | 7、8 ゲート絶縁膜              |
| 9     | シリコン層（半導体層）             |
| 10    | BSG膜（絶縁膜）               |
| 11    | シリコン窒化膜                 |
| 12    | サイドウォール                 |
| 13    | p型不純物領域                 |
| 14    | n型不純物領域                 |
| 15    | SiO <sub>2</sub> 膜（絶縁膜） |
| 16、17 | デュアルゲートパターン             |
| 18、19 | ワードラインパターン              |
| 20    | 20n、22n n型不純物拡散領域       |
|       | 20p、22p p型不純物拡散領域       |
| 21    | サイドウォール                 |
| 23    | 開口部                     |
| 24    | 導電膜                     |
| 25    | 高融点金属膜26a～26j シリサイド層    |
| 27    | 配線                      |
| 30～33 | コンタクトパッド                |
| 34    | 層間絶縁膜                   |
| 35～37 | コンタクトホール                |
| 30    | 38 ビット線接続               |

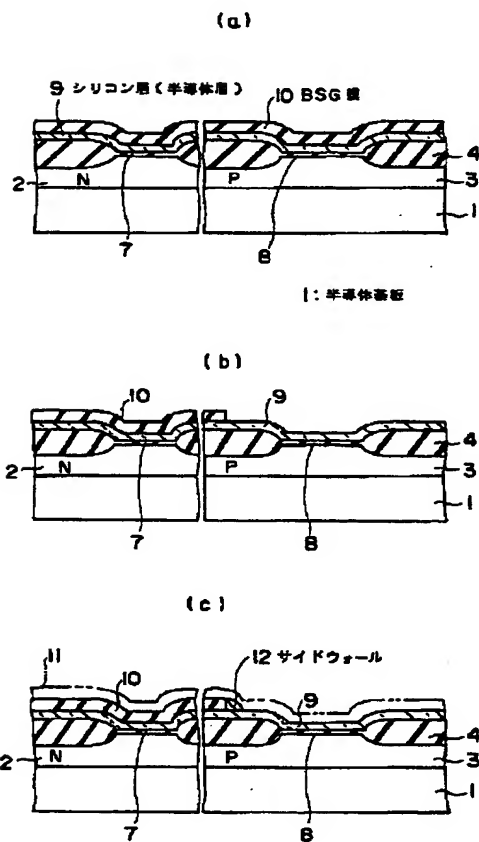
【図1】



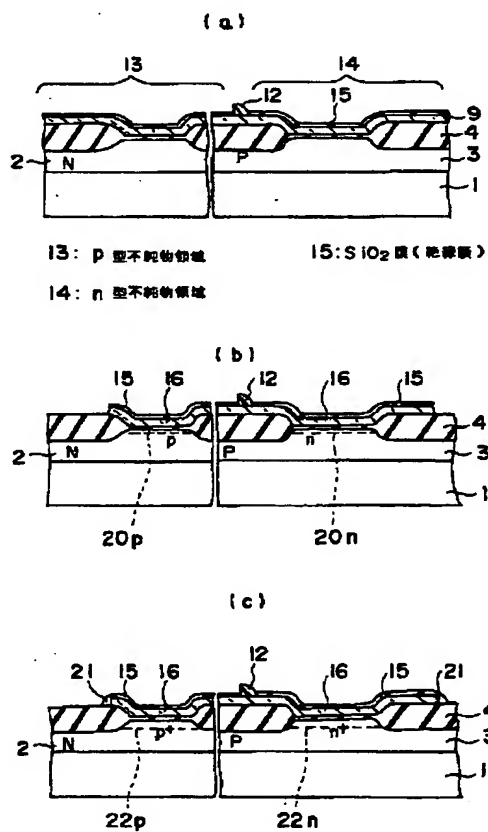
【図2】



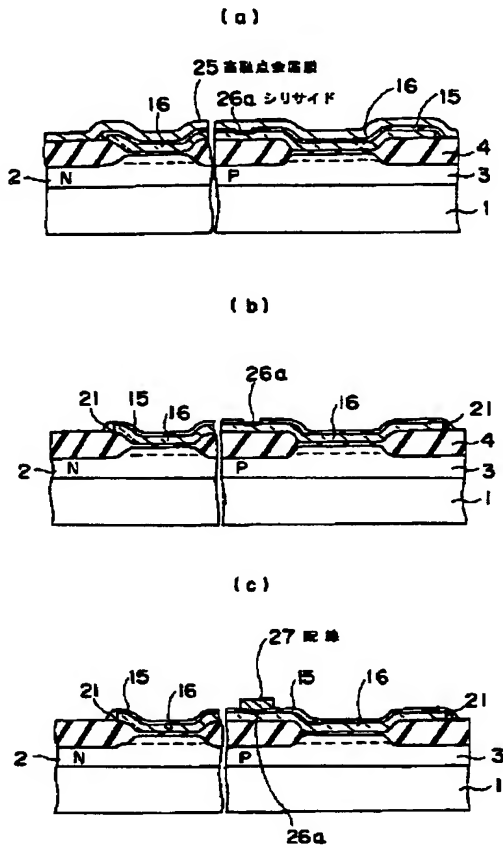
【図3】



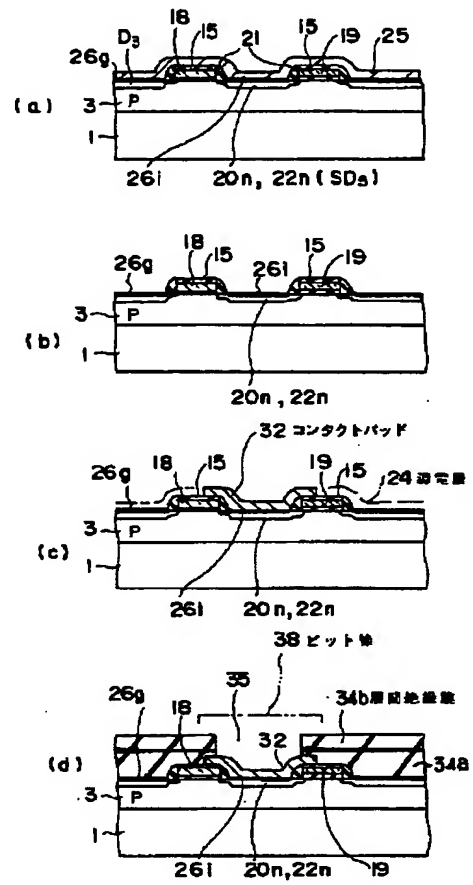
【図4】



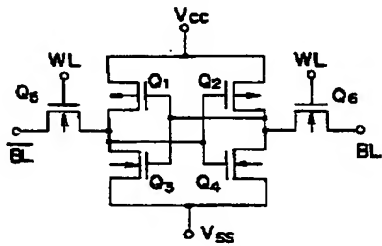
【図5】



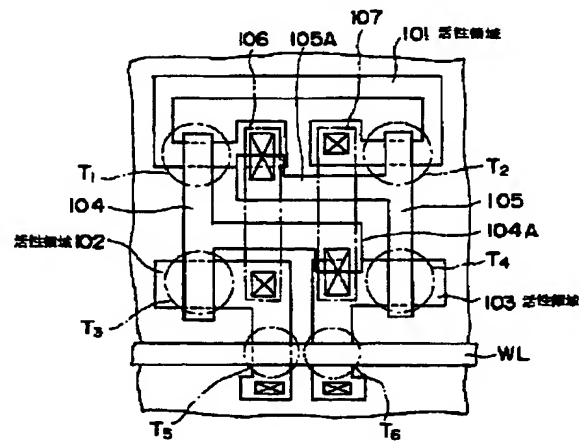
【図6】



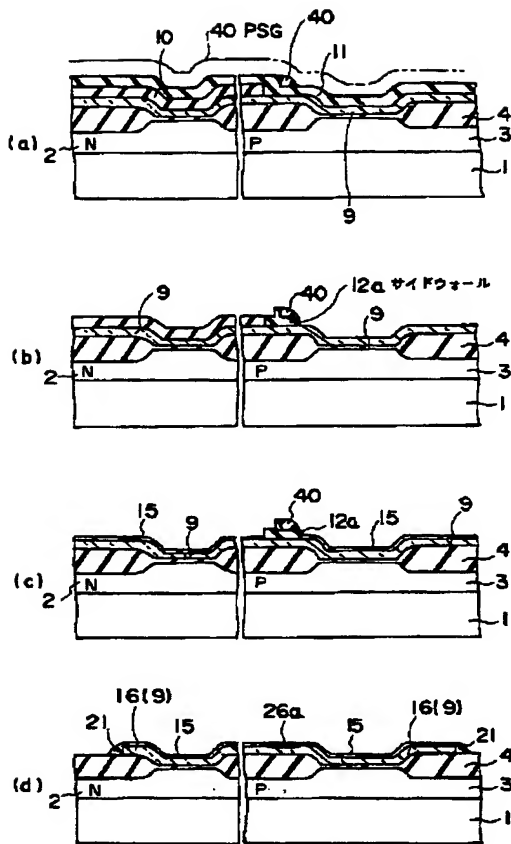
【図9】



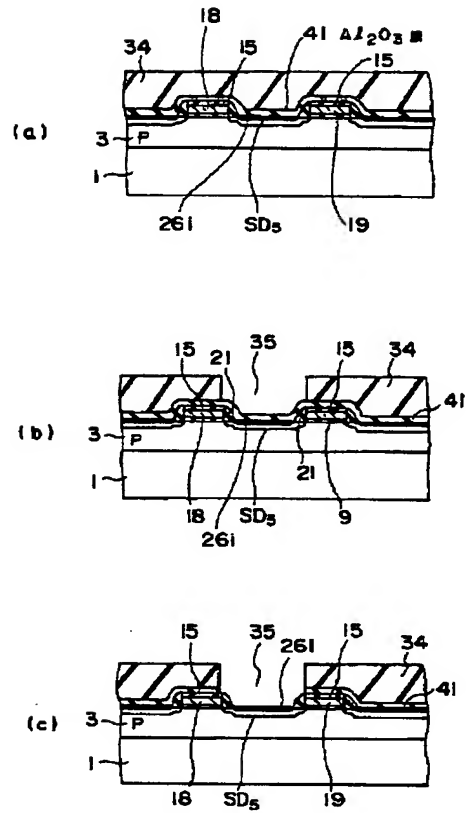
【図10】



【図7】



【図8】



フロントページの続き

(51)Int.Cl.<sup>6</sup>

H01L 27/108

21/8244

27/11

識別記号

片内整理番号

F I

技術表示箇所

7210-4M

7210-4M

H01L 27/10

325 R

381

